



十速

TM52F1363

规格书 *Rev 0.91*

(使用前请阅读第二页的注意事项)

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.



使用注意事项

1. 如果 $INTn$ 引脚是低电平且该中断功能启用,则芯片无法进入 Halt/Stop 模式。($INTn=0$ and $Exn=1, n=0\sim 2$)



修改纪录

版次	生效日	修订内容概要
V0.90	May, 2022	新颁。
V0.91	May, 2022	添加 MSOP-10 封装

目录

使用注意事项.....	2
修改纪录.....	3
TM52 系列 家族	6
概述.....	7
系统框图.....	7
基本功能.....	8
IC 引脚图	12
引脚描述.....	16
引脚汇总.....	17
功能描述.....	18
1. CPU 核心.....	18
1.1 累加器(ACC).....	18
1.2 B 寄存器(B).....	18
1.3 堆栈指针(SP).....	19
1.4 数据指针(DPTRs).....	19
1.5 程序状态字(PSW).....	20
2. 存储器.....	21
2.1 程序存储器 (支持 IAP)	21
2.2 EEPROM.....	26
2.3 数据存储器	28
2.4 特殊功能寄存器(SFR)	28
3. 复位.....	30
3.1 上电复位 (POR).....	30
3.2 外部引脚复位 (XRST).....	30
3.3 软件复位 (SWRST).....	30
3.4 看门狗定时器复位 (WDTR).....	30
3.5 低电压复位 (LVR)	30
4. 时钟电路.....	34
4.1 时钟电路	34
4.2 操作模式	36
5. 中断和唤醒.....	38
5.1 中断使能和优先级控制	38
5.2 引脚中断	42
5.3 空闲模式唤醒和中断	44

5.4 停止模式唤醒和中断	44
6. I/O 端口	46
7. Timer.....	59
8. UART.....	65
9. PWMs	67
10. 低压检测 (LVD).....	77
11. ADC	79
12. S/W 控制的 LCD 驱动器	83
13. 循环冗余校验码(CRC).....	86
14. 乘除法器.....	87
15. 主 I ² C 接口	89
16. 在线仿真器(ICE)模式	94
SFR & CFGW 映像	96
SFR & CFGW 说明	98
指令集.....	111
电器特性.....	114
1. 最大绝对额定值.....	114
2. DC 特性	115
3. 时钟时序.....	117
4. 复位时序特性.....	117
5. ADC 电气特性	117
6. EEPROM Characteristics.....	118
7. 特性曲线图.....	119
封装说明.....	122

TM52 系列 家族
共同特性

CPU	闪存程序存储器	RAM字节	工作模式	Timer0 Timer1 Timer2	UART
快速8051 (2T)	4K~32K,支持 IAP,ISP,ICP	256~2048	快钟/慢钟/ 空闲/停止	8051标准	8051标准

家族成员特性

P/N	程序存储器	数据存储器	RAM	IO引脚	PWM	SAR ADC	触摸 按键	LCD	LED	Interface
TM52-F1363	Flash 8KB	IAP share with main rom / EEPROM 128B	512B	26	16-bit x7	12-bit 19-ch	-	4com	-	UART*1 MIIC*1
TM52-F8368	Flash 8KB	IAP share with main rom	512B	26	16-bit x7	12-bit 12-ch	-	4com	-	UART*1 MIIC*1
TM52-F8274	Flash 8KB	IAP share with main rom / EEPROM 128B	1024B	26	(8+2)-bit x3	12-bit 14-ch	-	8com	4Cx6S	SPI*1 UART*1 UART2*1
TM52-F8278							16-ch			
TM52-F8273	Flash 16KB	IAP share with main rom / EEPROM 128B	1024B	26	(8+2)-bit x3	12-bit 14-ch	-	8com	4Cx6S	SPI*1 UART*1 UART2*1
TM52-F8276							16-ch			

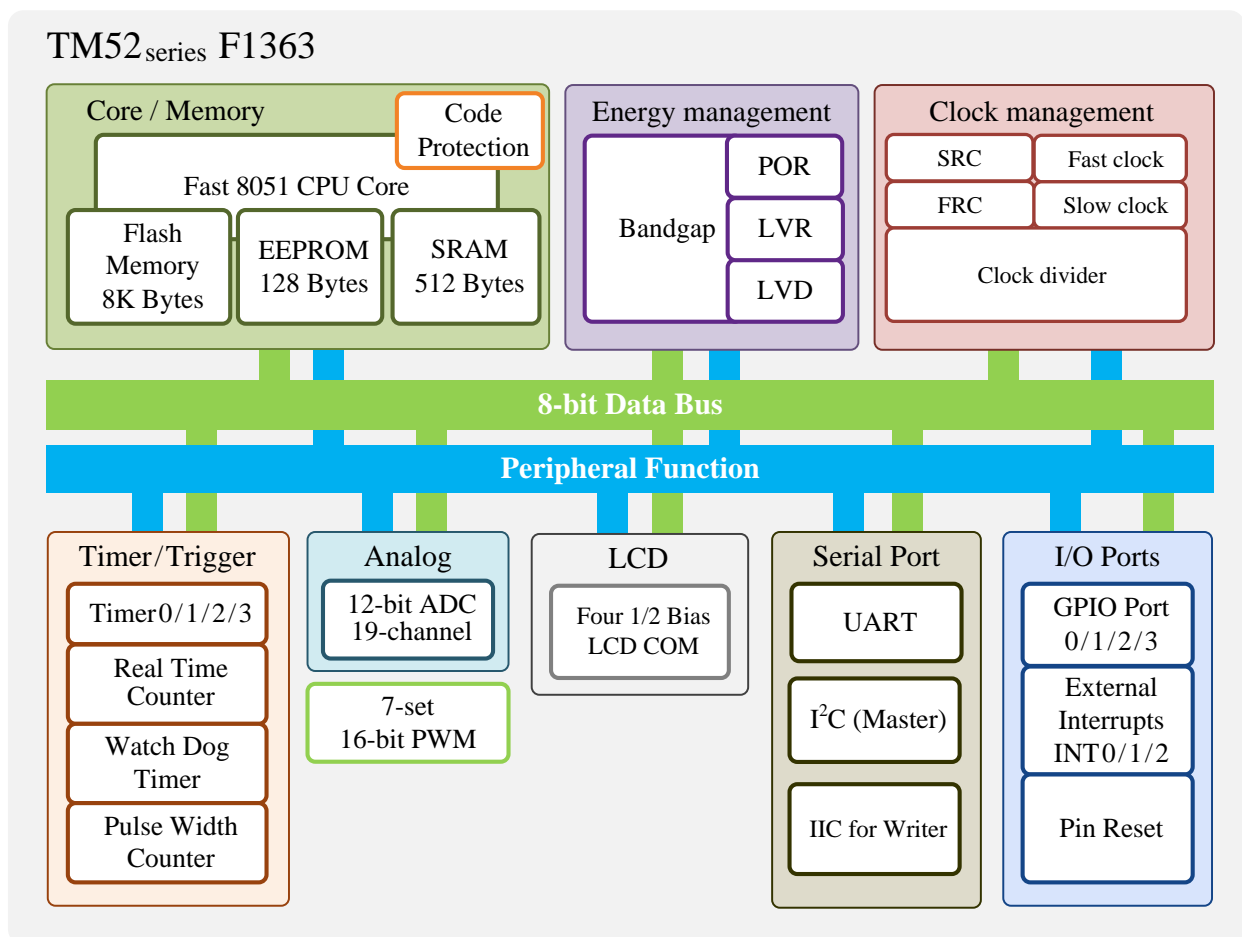
P/N	工作电压	工作电流				最大系统时钟(Hz)			
		快钟 FRC	慢钟 SRC	空闲 SRC	停止	SXT	SRC	FXT	FRC
TM52-F1363	2.2~5.5V	8.3mA	2.6mA	26uA	0.1uA	-	80K	-	16.588M
TM52-F8368	2.3~5.5V	9.7mA	2.8mA	24uA	0.1uA	-	80K	-	16.588M
TM52-F8274	2.3~5.5V	5.3mA	1.3mA	20uA	0.1uA	32K	68K	12M	12.902M
TM52-F8278									
TM52-F8273	2.3~5.5V	5.3mA	1.3mA	20uA	0.1uA	32K	68K	12M	12.902M
TM52-F8276									

概述

TM52系列F1363是一个新的,快速的8051架构,与业界标准8051指令集完全兼容的8位单片机,并保持了8051外围的功能模块。通常情况下,TM52执行指令,比传统的8051架构快六倍。

TM52-F1363通过集成多种功能在芯片上,提供更高的性能,更低的成本,能快速进入市场,包括8K字节的闪存(Flash)程序存储器, 512字节SRAM,低电压复位(LVR),低电压检测(LVD),双时钟省电工作模式,8051标准UART和定时器Timer0/Timer1/Timer2,实时计时器Timer3, 7组16位脉冲宽度调制器(PWM),19通道的12位模数转换器(ADC), I²C接口和看门狗定时器(WDT)。它的高可靠性和低功耗的特性,可广泛适用于消费电子及家用电器产品。

系统框图



基本功能

1. 标准 8051 指令集,快速的机器周期

- 指令执行比传统 8051 快六倍

2. Flash 程序存储器

- 8K 字节闪存程序存储器
- 支持 ICP(在线编程)或 ISP(在系统编程)的闪存程序码
- 在 IAP(在应用编程)模式可以作为 EEPROM,以字节的方式存取
- 程序码保护功能
- 内建 IAP 防死机看门狗模式
- 至少 500 次的擦写次数
- 至少 10 年的数据保存时间

*每个 IAP 地址可烧写 10000 次(典型值)以上, 客户如需更多烧写次数, 可规划一 ROM 区域分散 IAP data 写入的地址, 本公司可提供该使用方式之源程序.

3. 128 字节 EEPROM 数据存储器

- 至少 3~5 万次的擦写次数
- 至少 10 年的数据保存时间

4. 总计 512 字节 SRAM(IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 256 字节 XRAM 在 8051 外部数据存储器区(由 MOVX 指令存取)

5. 2 种系统时钟类型选择

- 快时钟使用内部 RC(FRC, 16.588 MHz)
- 慢时钟使用内部 RC(SRC, 80 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1/2

- 16 位 Timer0,支持 T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1,支持 T1O 时钟输出供蜂鸣器应用
- 16 位 Timer2,支持 T2O 时钟输出供蜂鸣器应用

7. 16 位 Timer3 时钟

- 时钟源为慢时钟
- 中断期可选时钟除以 32768/16384/8192/65536 选项

8. 一组 UART

- 8051 标准 UART, 支援单线 UART 选项

*支持一个 UART, 通过 TXRXSEL (SFR 93h.7) 引脚选择到 P30 / P31 或 P02 / P16

9. 七个的 16 位的 PWM 有预分频器/周期调整

10. 一组主 I²C 接口(Master I2C interface)

*支持一个 MIIC，通过 MSDASEL (SFR B7h.7) 引脚选择到 P35 / P16，通过 MSCLSEL (SFR B7h.6) 引脚选择到 P13 / P02

11. 12 位 ADC,具有 19 个通道的外部引脚输入和 3 通道内部基准电压

- 内部基准电压源: VBG 1.22V±1.5% @V_{CC}=2.5V~5.5V, 25°C
- 内部基准电压源: V_{SS} (0V)
- 内部基准电压源: V_{CC}/4
- ADC 基准电压源选择选项: V_{CC} / 2.5V

12. LCD 驱动器

- 软件控制 COM0~3
- 1/2 LCD 偏压

13. 13 来源,4 中断优先级

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 下降沿/低电平中断
- INT2 下降沿中断
- 端口 0/端口 1/端口 2/端口 3 引脚电平变化中断
- UART TX/RX 中断
- ADC 中断
- Master I²C (MIIC) 中断
- LVD 中断
- PWM0/PWM1 中断

14. 引脚中断能将停止模式下的 CPU 唤醒

- INT0~INT2 中断和唤醒
- 端口 0/1/2/3 每个引脚可以定义为唤醒和中断引脚(通过引脚电平变化)

15. 最大 26 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉可以使能/禁止

16. 独立的 RC 振荡看门狗定时器

- 400ms/200ms/100ms/50ms 可选择的看门狗超时选项

17. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

18. 16 级低电压复位(LVR)

- 2.25V / 2.40V / 2.55V / 2.70V / 2.80V / 2.95V / 3.10V / 3.25V / 3.40V / 3.55V / 3.70V / 3.85V / 4.0V / 4.15V / 4.30V / 4.45V

19. 15 级低电压检测(LVD)

- 2.40V / 2.55V / 2.70V / 2.80V / 2.95V / 3.10V / 3.25V / 3.40V / 3.55V / 3.70V / 3.85V / 4.0V / 4.15V / 4.30V / 4.45V

20. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/暂停模式/停止模式

21. 集成的 16 位循环冗余校验功能

22. 乘除法器

- 8 位硬件乘除法器 (标准 8051)
- 16 位硬件乘除法器
- 32 位 ÷ 16 位硬件除法器

23. 在板仿真/ICE 接口

- 使用 P3.0/P3.1 引脚或 P2.0/P2.1 引脚
- 与 ICP 编程引脚共享

24. 工作电压和电流

- $V_{CC} = 2.2V \sim 5.5V$ @ $F_{SYS} = 16.588$ MHz
- $I_{CC} = 0.1\mu A$ @ 停止模式, $PWRS_{AV} = 1$, $V_{CC} = 3V$
- $I_{CC} = 6\mu A$ @ 暂停模式, $PWRS_{AV} = 1$, $V_{CC} = 3V$
- $I_{CC} = 9\mu A$ @ 空闲模式, $PWRS_{AV} = 1$, $V_{CC} = 3V$
- 工作温度范围
- $-40^{\circ}C \sim +105^{\circ}C$

25. 封装类型

- 10-pin MSOP (118 mil)
- 16-pin SOP (150 mil)
- 20-pin TSSOP (173 mil)
- 20-pin SOP (300 mil)
- 20-pin QFN (3x3x0.75-0.4mm) (L=0.25mm)



- 24-pin SSOP (150 mil)
- 28-pin SOP (300 mil)
- 28-pin SSOP (150 mil)
- 28-pin QFN (4x4x0.75-0.4mm)

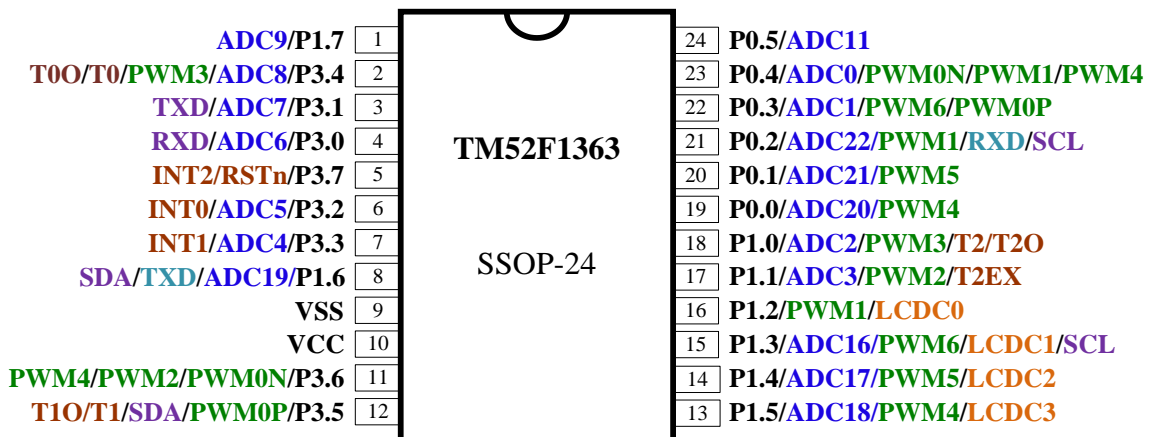
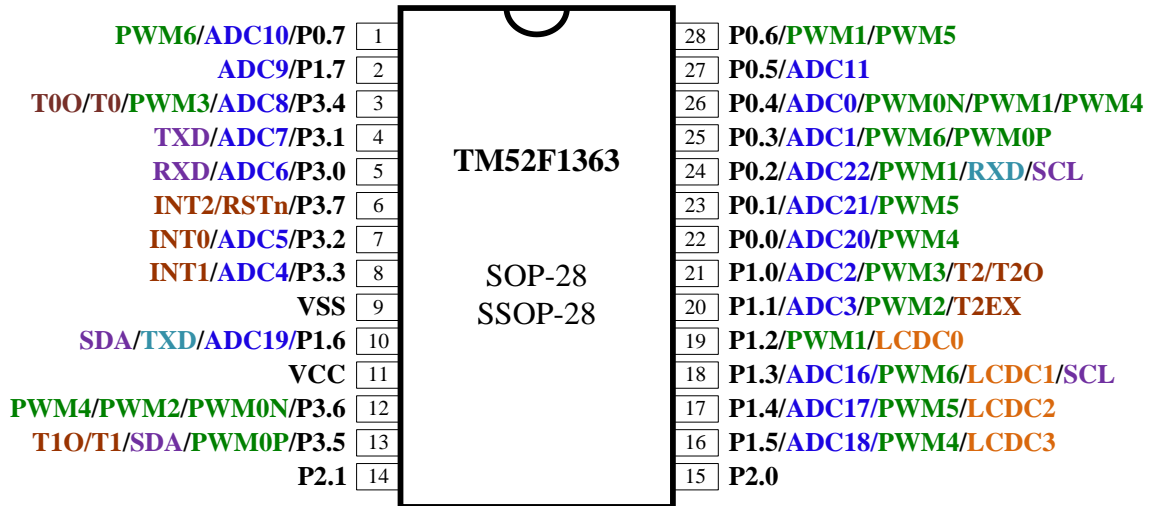
IC 引脚图

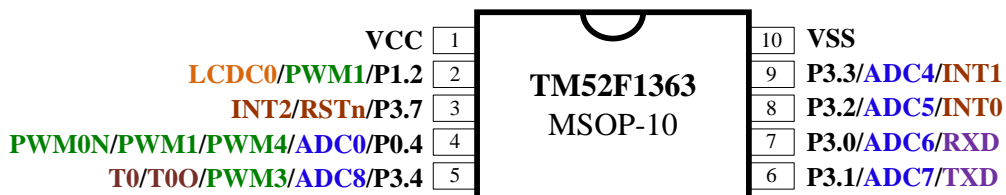
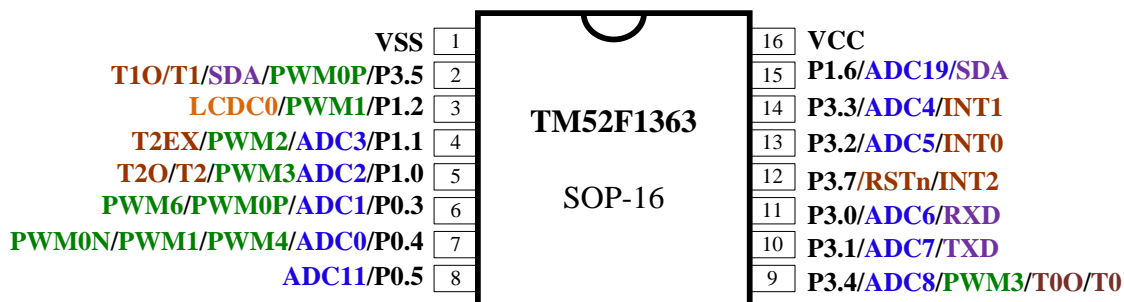
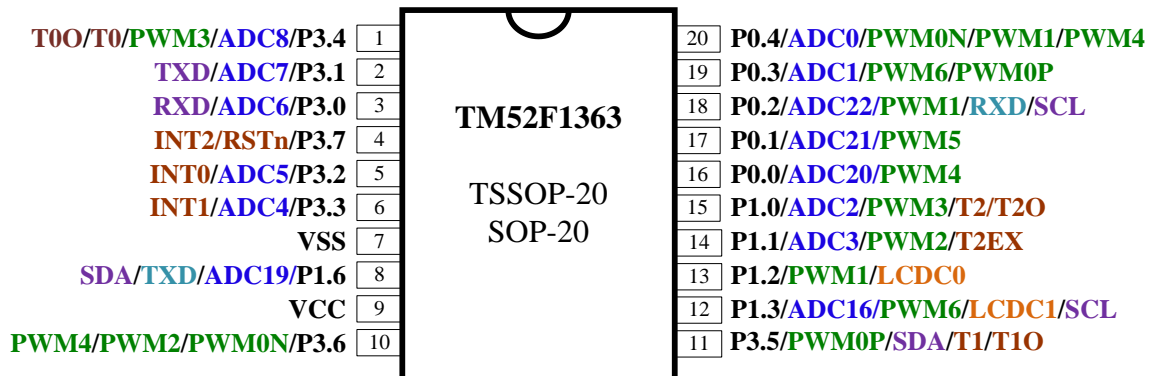
*UART 默认引脚为 P30,P31, 可由 TXRXSEL(SFR 93h.7) 设定引脚为 P02,P16

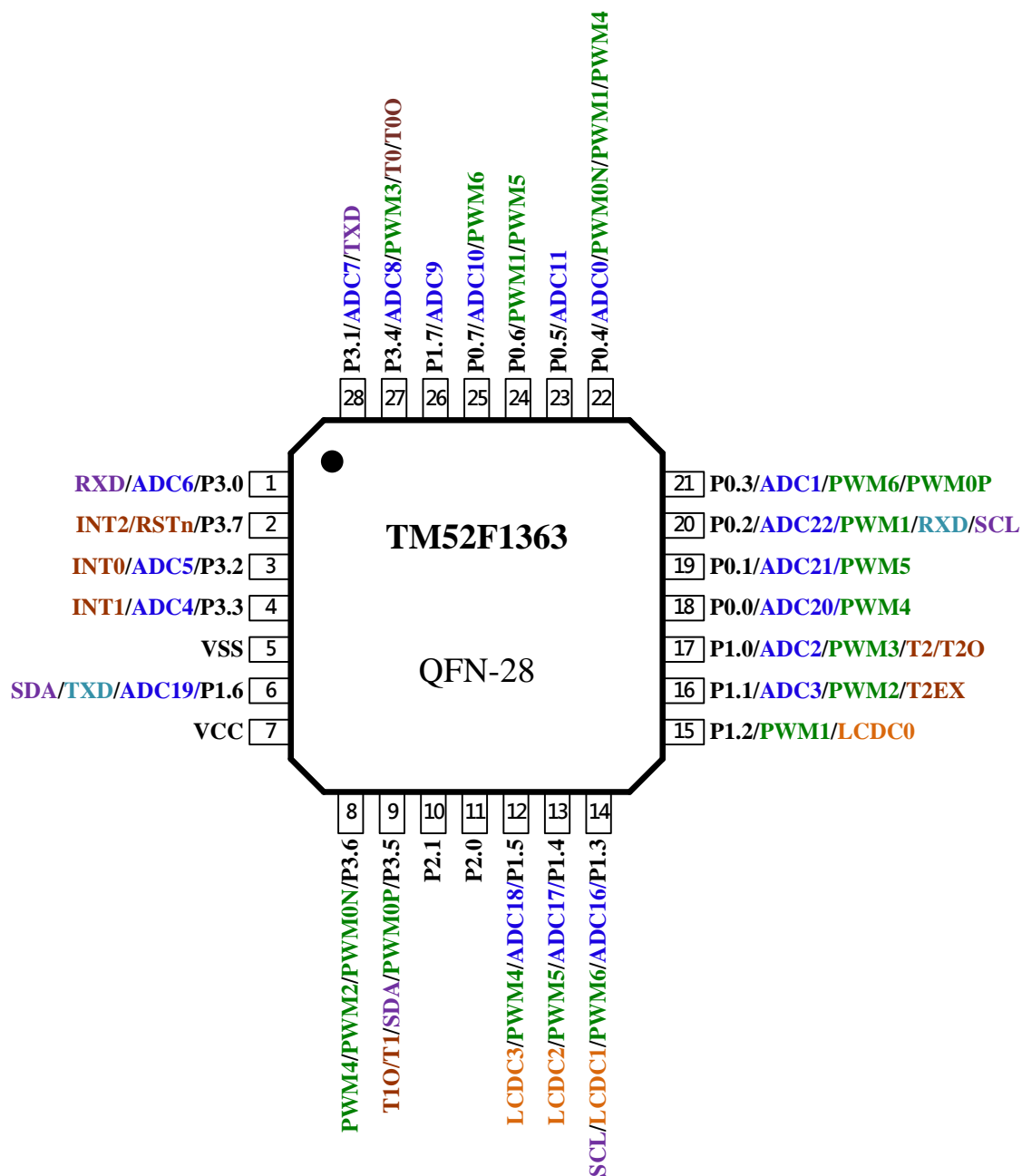
*Master I²C SDA 默认引脚为 P35, 可由 MSDASEL(SFR B7h.7) 设定引脚为 P16

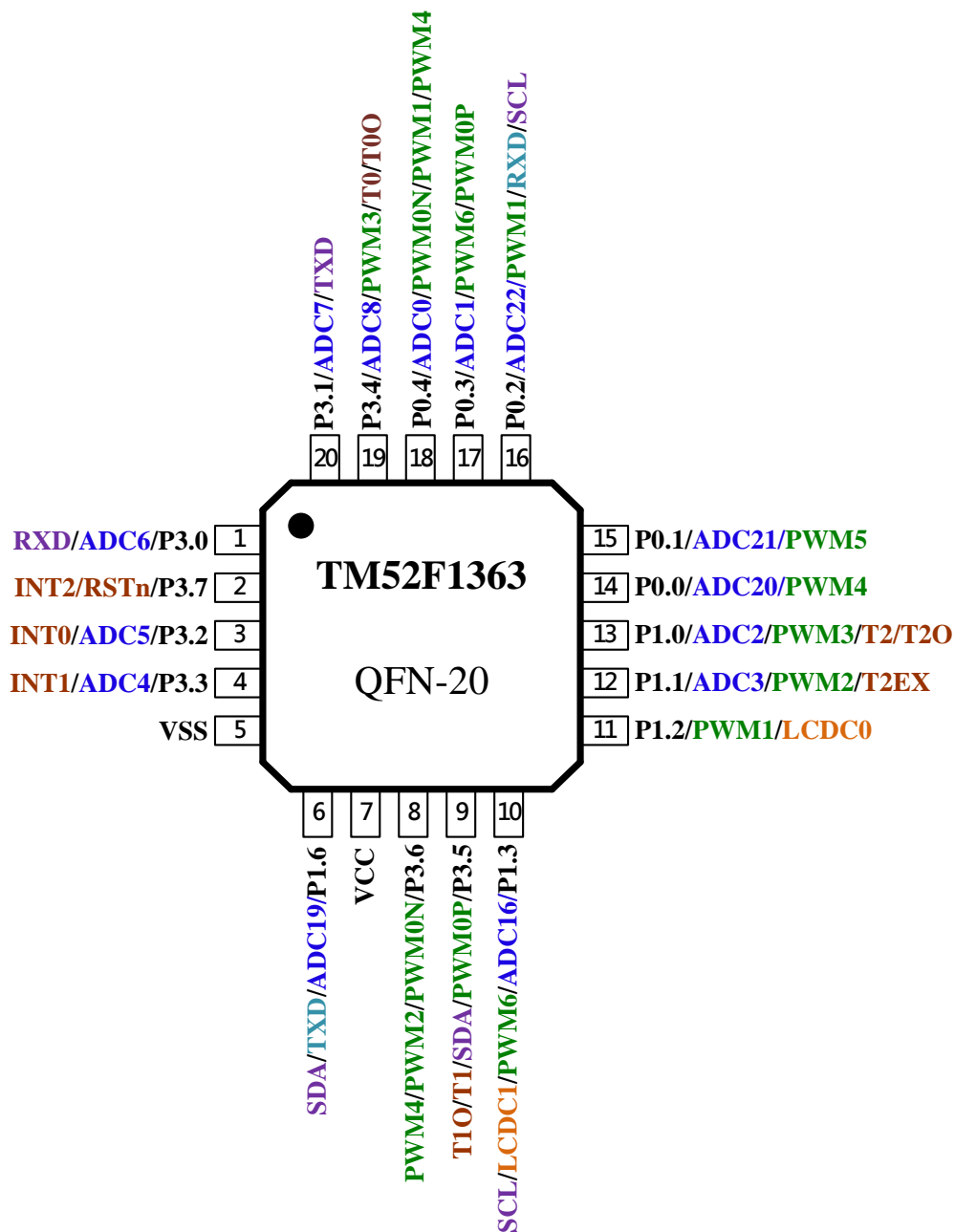
*Master I²C SCL 默认引脚为 P13, 可由 MSCLSEL(SFR B7h.6) 设定引脚为 P02

低耗电应用,所有数字 I/O (包含未出脚或未使用) 避免设置高阻态.









引脚描述

引脚名称	输入/输出	引脚描述
P0.0~P0.7	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或开漏输出。 上拉电阻是由软件分配。
P1.0~P1.7	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。这些引脚的电平变化可以唤醒 CPU 的空闲/停止模式。
P2.0~P2.1	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或开漏输出。 上拉电阻是由软件分配。
P3.0~P3.2	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或伪开漏输出。上拉电阻是由软件分配。
P3.3~P3.7	I/O	位编程输入/输出端口,可施密特触发输入,CMOS 推挽输出或开漏输出。 上拉电阻是由软件分配。
INT0,INT1	I	外部低电平或下降沿中断输入,空闲/停止模式唤醒输入。
INT2	I	外部下降沿中断输入,空闲/停止模式唤醒输入。
RXD	I/O	UART 模式 0 发送及接收数据,模式 1/2/3 接收数据。
TXD	I/O	UART 模式 0 发送时钟,模式 1/2/3 发送数据。在单线 UART 模式时,该引脚发送和接收串行数据。
T0,T1,T2	I	Timer0,Timer1,Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
T0O	O	Timer0 溢出除以 64 输出
T1O	O	Timer1 溢出除以 2 输出
T2O	O	Timer2 溢出除以 2 输出
VBGO	O	带隙基准电压输出
PWM1~PWM6 PWM0P/PWM0 N	O	16 位 PWM 输出
ADC0~ADC11, ADC16~ADC22	I	ADC 输入
LCDC0~LCDC3	O	LCD COM 1/2 偏压输出
SCL	I/O	Master I ² C (MIIC) SCL
SDA	I/O	Master I ² C (MIIC) SDA
RSTn	I	外部低有效复位输入,固定上拉电阻
VCC,VSS	P	电源输入引脚和地

引脚汇总

Pin Number	引脚名称	Type	输入			输出			交替功能				其它		
			上拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	LCD	ADC	UART	PWM		定时器	I ² C
1	RXD/ADC6/P3.0	I/O	●	●		●	●	●		●	●				
2	INT2/RSTn/P3.7	I/O	●	●	●	●		●							Reset
3	INT0/ADC5/P3.2	I/O	●	●	●	●	●		●						
4	INT1/ADC4/P3.3	I/O	●	●	●	●		●	●						
5	VSS	P													
6	SDA/TXD/ADC19/P1.6	I/O	●	●		●		●	●					●	
7	VCC	P													
8	PWM4/PWM2/PWM0N/P3.6	I/O	●	●		●		●			●				
9	T1O/T1/SDA/PWM0P/P3.5	I/O	●	●		●		●			●	●	●		T1O
10	P2.1	I/O	●	●		●		●							
11	P2.0	I/O	●	●		●		●							
12	LCDC3/PWM4/ADC18/P1.5	I/O	●	●		●		●	●		●				
13	LCDC2/PWM5/ADC17/P1.4	I/O	●	●		●		●	●		●				
14	SCL/LCDC1/PWM6/ADC16/P1.3	I/O	●	●		●		●	●		●		●		
15	LCDC0/PWM1/P1.2	I/O	●	●		●		●	●		●				
16	T2EX/PWM2/ADC3/P1.1	I/O	●	●		●		●		●	●				
17	T2O/T2/PWM3/ADC2/P1.0	I/O	●	●		●		●		●	●	●			T2O
18	PWM4/ADC20/P0.0	I/O	⊙	●		●			●		●				
19	PWM5/ADC21/P0.1	I/O	⊙	●		●			●		●				
20	SCL/RXD/PWM1/ADC22/P0.2	I/O	⊙	●		●			●	●	●		●		
21	PWM0P/PWM6/ADC1/P0.3	I/O	⊙	●		●			●		●				
22	PWM4/PWM1/PWM0N/ADC0/P0.4	I/O	⊙	●		●			●		●				
23	ADC11/P0.5	I/O	⊙	●		●			●						
24	PWM5/PWM1/P0.6	I/O	⊙	●		●					●				
25	PWM6/ADC10/P0.7	I/O	⊙	●		●			●		●				
26	ADC9/P1.7	I/O	●	●		●		●							
27	/T0O /T0/PWM3/ADC8/P3.4	I/O	●	●		●		●		●	●				T0O
28	TXD /ADC7/P3.1	I/O	●	●		●	●	●		●	●				

PS:

- Port1,P2.1~P2.0,Port3 这些引脚上拉电阻由操作模式控制
- ⊙ Port0 这些引脚上拉电阻由 PxOE.n = 0 与 Px.n = 1 控制

功能描述

1. CPU 核心

采用 8051 的架构,C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器,可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码,以确保一个简单的移植路径,以加快系统产品的开发速度。CPU 核心包括了 ALU,程序状态字(PSW),累加器(ACC),B 寄存器,堆栈指针(SP),数据指针,编程计数器,指令译码器,以及核心的特殊功能寄存器(SFR)。

1.1 累加器(ACC)

该寄存器提供了一个运算数供给大多数的ALU操作。累加器通常被称为A或ACC和有时被称为寄存器A。在本文档中,累加器被表示为“A”或“ACC”,包括指令表。累加器,正如其名称所示,被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果,以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 **ACC**:累加器

1.2 B 寄存器(B)

“B”寄存器和ACC是非常相似的,可容纳1个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则,它可被用作一个暂存寄存器。B寄存器只有用于两个8051的指令,MUL和DIV。当A乘或除以另一个数,结果数存储在B。对于MUL和DIV指令,有必要将这两个运算数放在A和B。

ex: DIV AB

当执行该指令,A里面的数会除以B的数,得到的答复是存储在A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 **B**: B 寄存器

1.3 堆栈指针(SP)

SP寄存器包含堆栈指针。执行LCALL,ACALL和PUSH指令时,堆栈指针先加1,再将程序计数器加载到堆栈中。执行RET,RETI和POP指令时,堆栈数据退回程序计数器后,堆栈指针再减1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**:堆栈指针

1.4 数据指针(DPTRs)

TM52装置有两个数据指针,它们共享相同的SFR地址。每个DPTR的大小是16位,有两个数据指针寄存器:高字节(DPH)和低字节(DPL)。该DPTR用于16位地址的外部存储器存取,偏移字节代码读取和偏移程序跳转。设置DPSEL控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**:数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**:数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.0 **DPSEL**:活动 DPTR 选择

1.5 程序状态字(PSW)

该寄存器包含CPU和ALU操作导致的状态信息。会影响PSW的指令如下所示。

指令	标志			指令	标志		
	C	OV	AC		C	OV	AC
ADD	X	X	X	CLR C	0		
ADDC	X	X	X	CPL C	X		
SUBB	X	X	X	ANL C,bit	X		
MUL	0	X		ANL C,/bit	X		
DIV	0	X		ORL C,bit	X		
DA	X			ORL C,/bit	X		
RRC	X			MOV C,bit	X		
RLC	X			CJNE	X		
SETB C	1						

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**:ALU 进位标志

D0h.6 **AC**:ALU 辅助进位标志

D0h.5 **F0**:通用的使用者定义标志

D0h.4~3 **RS1,RS0**:(RS1,RS0)的内容所启动之工作寄存器存储区为:

00:存储区 0(00h~07h)

01:存储区 1(08h~0Fh)

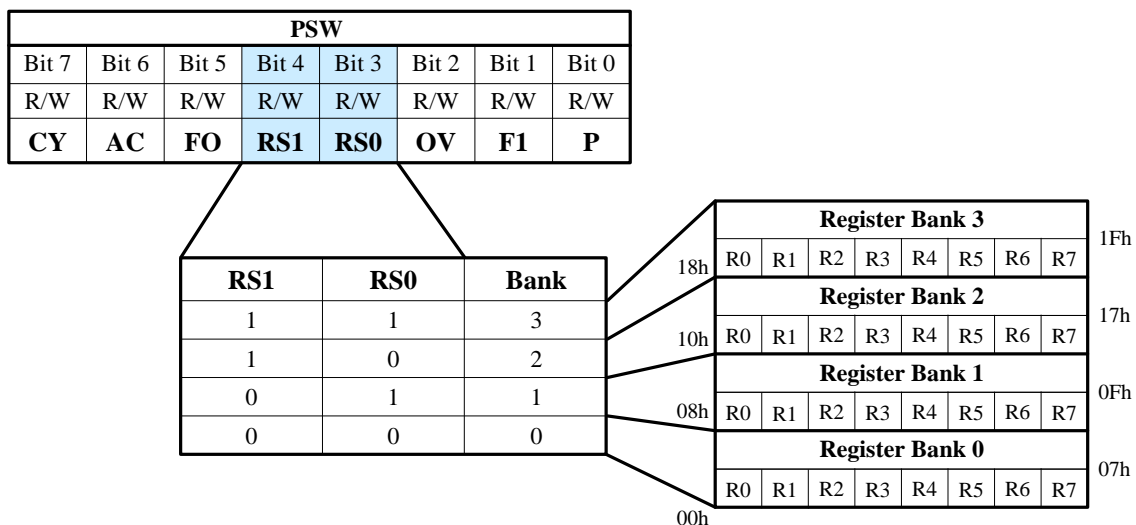
10:存储区 2(10h~17h)

11:存储区 3(18h~1Fh)

D0h.2 **OV**:ALU 溢出标志

D0h.1 **F1**:通用的使用者定义标志

D0h.0 **P**:奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



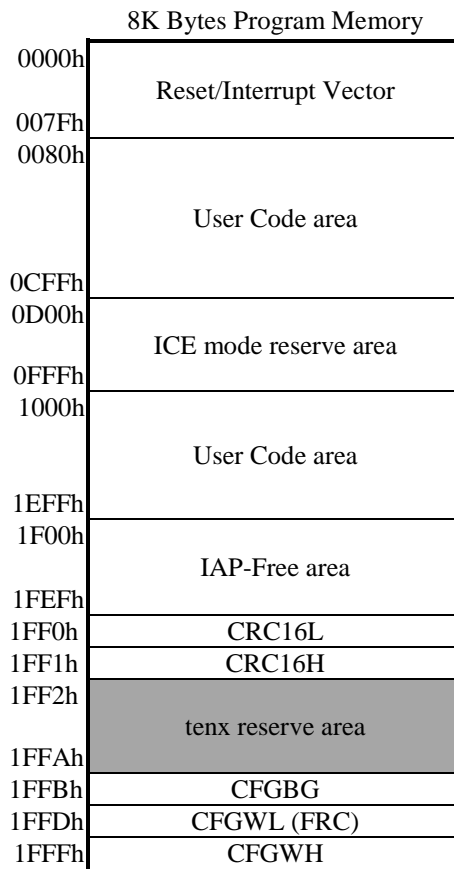
2. 存储器

2.1 程序存储器 (支持 IAP)

8K字节的闪存程序存储器,可支持在线编程(ICP)和在应用编程(IAP)功能模式。闪存程序存储器的连续地址空间(0000h~1FFFh)被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后16个字节(1FF0~1FFFh)被定义为芯片配置字(CFGW),在上电复位(POR)时,它会被装载到装置控制寄存器。0000h~007Fh被标准8051定义为复位/中断向量。地址空间1F00h~1FEFh是IAP区域。在线仿真(ICE)模式下,用户还需要预留0D00h~0FFFh的地址空间以供ICE系统通讯使用。CRC16H/L是校验和的保留区域。Tenx可以提供CRC验证子程序。用户可以通过CRC校验子程序计算校验和, 以与CRC16H/L进行比较, 并检查ROM代码的有效性。



2.1.2 闪存 ICP 模式

闪存存储器可以通过 tenx 专用的烧录器,这需要至少四根线(VCC,VSS,P3.0 和 P3.1 引脚)连接到该芯片以进行编程。引脚 P3.0 和 P3.1 可以置换成引脚 P2.0 和 P2.1。如果用户想在目标电路板上的闪存进行编程(在电路编程,ICP),这些引脚必须保留足够的自由来连接到烧录器,最好不要连接电路;如果要连接电路的话,请参考相关 AP 资料。

连接线数目	连接管脚
4 线	VCC, VSS, P3.0, P3.1
	VCC, VSS, P2.0, P2.1

2.1.3 闪存 IAP 模式

此芯片有“在应用编程”(IAP)功能。它允许软件在CPU运行时对闪存存储器读/写数据,就像对 EEPROM存取数据一样方便。IAP功能是单字节的写入,这意味着该芯片并不需要在写入前擦除一整个闪存页面。IAP可用数据空间是芯片复位后240个字节,并且可以由“IAPALL”控制寄存器重新定义,如下所示。

8K Bytes Flash Program memory		Flash memory	IAPALL	MOVC read Accessible	MOVX IAP write Accessible
0000h	IAP-All area	0000h~1EFFh	0	Yes	No
1EFFh			1	Yes	Yes
1F00h	IAP-Free area	1F00h~1FEFh	X	Yes	Yes
1FEFh	CFGW area	1FF0h~1FFEh	0	Yes	No
1FF0h			1	Yes	Yes
1FFFh		1FFFh	X	Yes	No

在 IAP 模式下,闪存程序存储器分为三个扇区: IAP 全区,IAP 自由区,然后 CFGW 区。这三个扇区是不同的管制。

IAP-All 区域:

由 IAPALL 寄存器保护,以防止在 IAP 模式中,写入应用程序的数据跑到程序区,产生了程序代码错误而无法修复。这个区域的大小是 7936 字节。启用 IAPALL 需要写入 65h 到 SFR SWCMD 97h 位置以设置 IAPALL 控制标志。然后,软件可以使用 MOVX 指令来把应用程序的数据写入闪存 0000h 到 1EFFh 的位置。如果用户希望禁用 IAPALL 功能,用户可以将其它值写入 SFR SWCMD 97h 以清除 IAPALL 控制标志。用户必须小心,不要覆盖其它已经存在同一个闪存位置的程序代码。

IAP-Free 区域:

没有控制位来保护。它可以可靠地存储系统操作中一次或定期编程的应用数据。闪存其它区域也可用于存储数据,但这个区域通常是最好的。这个区域的大小是 240 字节,等效于一个 EEPROM。IAP

模式支持闪存单字节存取。在过去,要存储数据需外加一个 EEPROM 或其他存储设备;但是现在可以通过片上闪存提供,降低嵌入式应用的芯片数量,外部 EEPROM 或 SRAM 可以不再需要。

CFGW 区域:

设有 16 个数据字节,它位于了闪存存储器的最后 16 个地址。CFGWH 是不可被 IAP 存取的,当 IAPALL 标志被设置后 CFGWL 可被 IAP 存取。上电复位后,CFGWL 被复制到 SFR F6h,之后软件可以通过修改 SFR F6h 来接管 CFGWL 的控制能力。

2.1.4 IAP 模式存取程序

IAP 写入:

IAP 闪存写入通过“MOVX @DPTR,A”指令来写入,数据指针(DPTR)包含闪存的目标地址(0000h~1FFeh),ACC 包含要写入的数据。芯片只有在 IAPWE SFR 使能时才会接受 IAP 写入命令。IAP 闪存写入大约需要 500 μ S。同时,CPU 处于等待状态,但所有外设模块(定时器,LCD 等)在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。

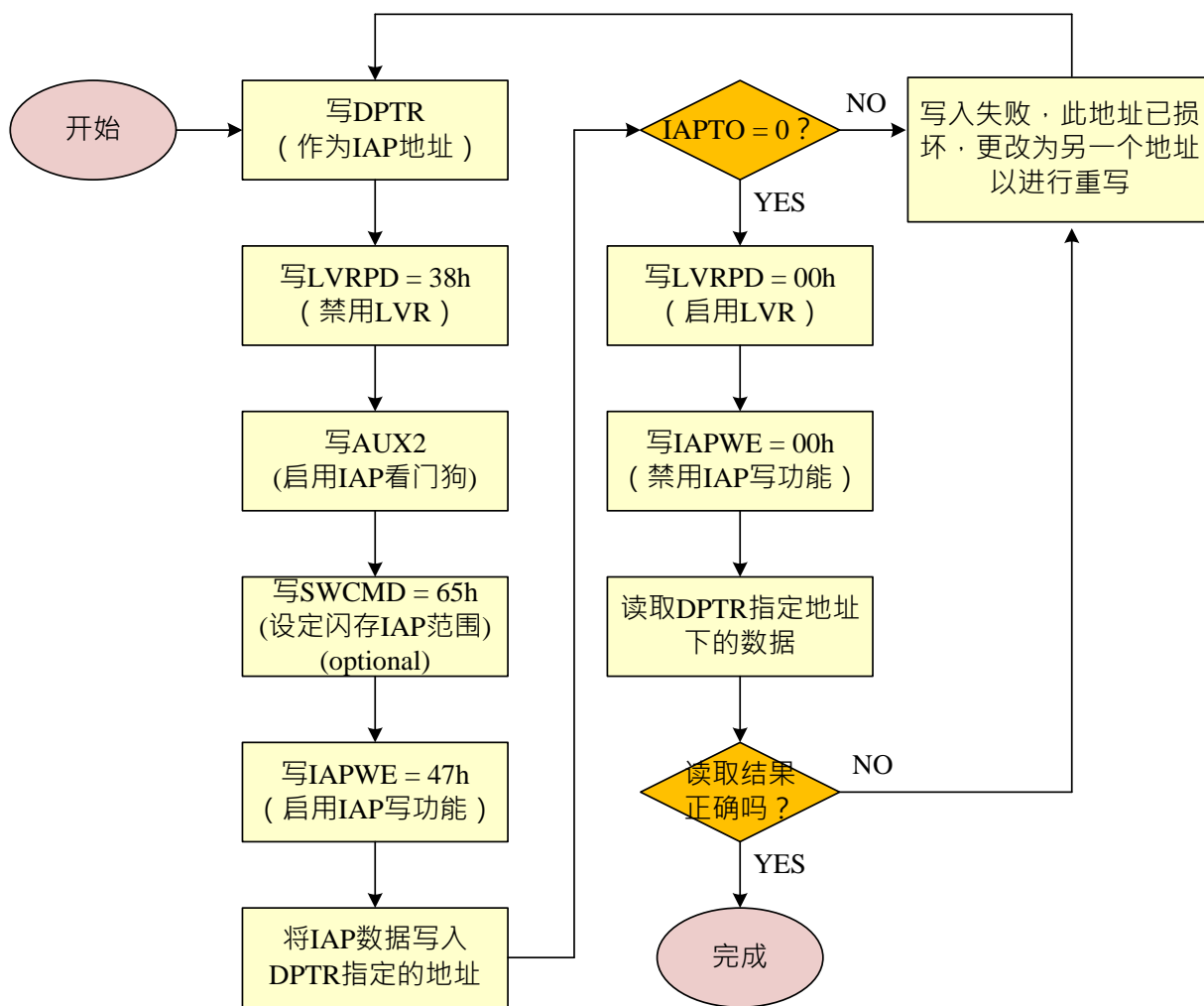
IAP 闪存写入需要 $V_{CC} > 3.2V$, LVR 需选用大于 3.2V, VCC 电容大于 220 μ F。

IAP 读取:

由于程序存储器和 IAP 数据共享同一个实体空间,只要目标地址指向 0000h~1FFFh 区域,IAP 可以通过“MOVC”指令读取闪存。闪存的 IAP 读取不需要额外的 CPU 等待时间。

IAP example:

```
; need 3.2V < VDD < 5.5V
MOV    DPTR, #1F00h    ; DPTR=1F00h=target IAP address
MOV    A, #5Ah         ; A=5Ah=target IAP write data
MOV    LVRPD, #38h     ; LVR disable, POR enable
MOV    AUX2, #04h      ; IAP Time-Out function enable
MOV    SWCMD, #65h     ; Set flash IAP range (optional)
MOV    IAPWE, #47h     ; IAP write enable
MOVX   @DPTR, A        ; Flash[1F00h] =5Ah, after IAP write
                          ; 1ms~2ms H/W writing time, CPU wait
MOV    LVRPD, #00h     ; LVR enable, POR enable
MOV    IAPWE, #00h     ; IAP write disable, immediately after IAP write
CLR    A               ; A=0
MOVC   A, @A+DPTR      ; Read. A=5Ah
```



IAP 流程图

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
	-						WDTO	IAPALL
R/W	W						R	R
Reset	-						0	0

97h.7~0 **IAPALL (W):**
 写入 65h, 闪存 IAP 可使用範圍為 0000h~1FEFh (IAPALL 讀回值為 1)
 写入 00h, 闪存 IAP 可使用範圍為 1F00h~1EFFh (IAPALL 讀回值為 0)

97h.0 **IAPALL (R):**
 0: 闪存 0000h~1EFFh 不可使用 IAP, 僅 1F00h~1EFFh 可使用 IAP
 1: 闪存 0000h~1EFFh 與 1F00h~1EFFh 皆可使用 IAP

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE	IAPWE/EEPWE							
	IAPWE	IAPTO	EEPWE	-				
R/W	R	R	R	W				
Reset	0	0	0	-				

C9h.7~0 **IAPWE (W):** IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM; 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 标志。

C9h.7 **IAPWE (R):** 读回 IAPWE 标志

C9h.6 **IAPTO (R):** 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPWE, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

SFR E5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRPD	LVRPD							
	W							
Reset	0							

E5h.7~0 **LVRPD:** LVR 和 POR 掉电选项
 写入 0x37 以强制禁用 LVR, 禁用 POR
 写入 0x38 以强制禁用 LVR, 使能 POR

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	IAPTE		MULDIV16
	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

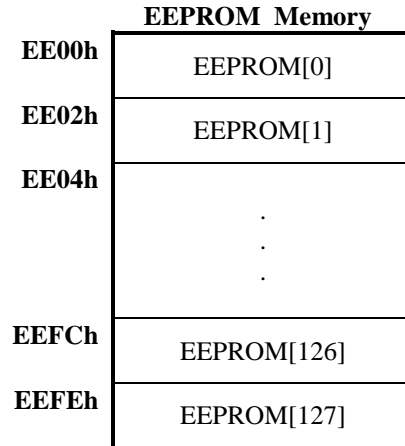
F7h.2~1 **IAPTE:** IAP 或 EEPROM 写入超时看门狗定时器控制位
 00: 关闭看门狗定时器
 01: 启用看门狗定时, 等待 1.6mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入)程序
 10: 启用看门狗定时, 等待 3.2mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入)程序
 11: 启用看门狗定时, 等待 12.8mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入)程序

2.1.5 闪存 ISP 模式

“在系统编程”(ISP)的用法和IAP类似,但目的是为了刷新程序代码。用户可以使用UART或其他方法从外部主机来获得新的程序代码,然后用IAP相同的方式写入代码。ISP操作复杂;基本上它需要指定一个启动代码区,不受ISP过程而被改变的闪存区。

2.2 EEPROM

芯片包含了一个128字节的EEPROM数据存储单元。它被组织为一个单独的数据空间，可以读取和写入单个字节。EEPROM具有至少5万次的写入/擦除周期耐久性。



(只使用偶数地址，奇数地址无效)

EEPROM 数据写入使用类似闪存 IAP 的方式，通过“MOVX @DPTR,A”指令来实现,数据指针 (DPTR)包含 EEPROM 的目标地址(EE00h~EEFEh,地址每次跳 2, 即 Addr.=Addr.+2),ACC 包含要写入的数据。写入大约需要 2 ms @V_{CC}=3V, 1 ms @V_{CC}=5V。同时,CPU 处于等待状态,但所有外设模块(定时器等)在写入期间继续运行。软件必须在 EEPROM 数据写入完成后处理期间产生的中断。同时芯片内建一个 EEPROM 看门狗定时器(与 IAP 看门狗定时器共享),用以离开当写入失败的卡死状态。EEPROM 数据写入需要 V_{CC}> 3.0V。

通过“MOVX A,@ DPTR”指令，只要将目标地址指向 EE00h~EEFEh 区域，便可以**读取 EEPROM 数据**。EEPROM 数据读取大约需要 300ns。

```

; EEPROM示例代码
; 需要3.0V < VDD < 5.5V
MOV    DPTR, #0EE00h    ; DPTR=EE00h=target EEPROM[0] address
MOV    A, #0A5h        ; A=A5h=target EEPROM[0] write data
MOV    EEPWE, #0E2h    ; EEPROM write enable
MOV    AUX2, #004h     ; EEPROM Time-Out function enable
MOVX   @DPTR, A        ; EEPROM[0]=A5h, after EEPROM write
                        ; 1ms~2ms H/W writing time, CPU wait

MOV    EEPWE, #000h    ; EEPROM write disable, immediately after EEPROM write
CLR    A               ; A=0
MOVX   A, @DPTR       ; A=A5h
    
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE	IAPWE/EEPWE							
	IAPWE	IAPTO	EEPWE	-				
R/W	R	R	R	W				
Reset	0	0	0	-				

C9h.7~0 **EEPWE(W)**: IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM; 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 或 EEPWE 标志。

C9h.6 **IAPTO(R)**: 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPWE, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

C9h.5 **EEPWE(R)**: 读回 EEPWE 标志

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	-	IAPTE		LVRPD
R/W	R/W	R/W	R/W	R/W	-	R/W		R/W
Reset	0	0	0	0	-	1	1	0

F7h.2~1 **IAPTE**: IAP 或 EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

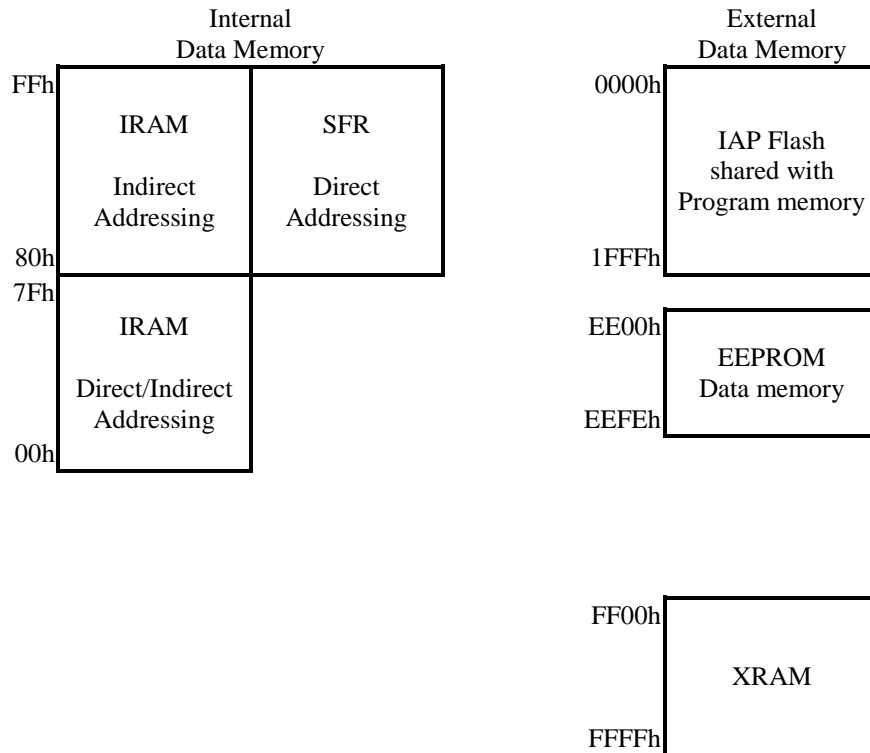
01: 启用看门狗定时, 等待 1.6mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

10: 启用看门狗定时, 等待 3.2mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

11: 启用看门狗定时, 等待 12.8mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

2.3 数据存储

正如标准的8051,该芯片有内部和外部数据存储器空间。内部数据存储空间由256字节IRAM和SFRs,这可通过丰富的指令集进行存取。外部数据存储器空间由256字节的XRAM, 128字节的EEPROM和IAP闪存,只能通过MOVX指令存取。



2.3.1 IRAM

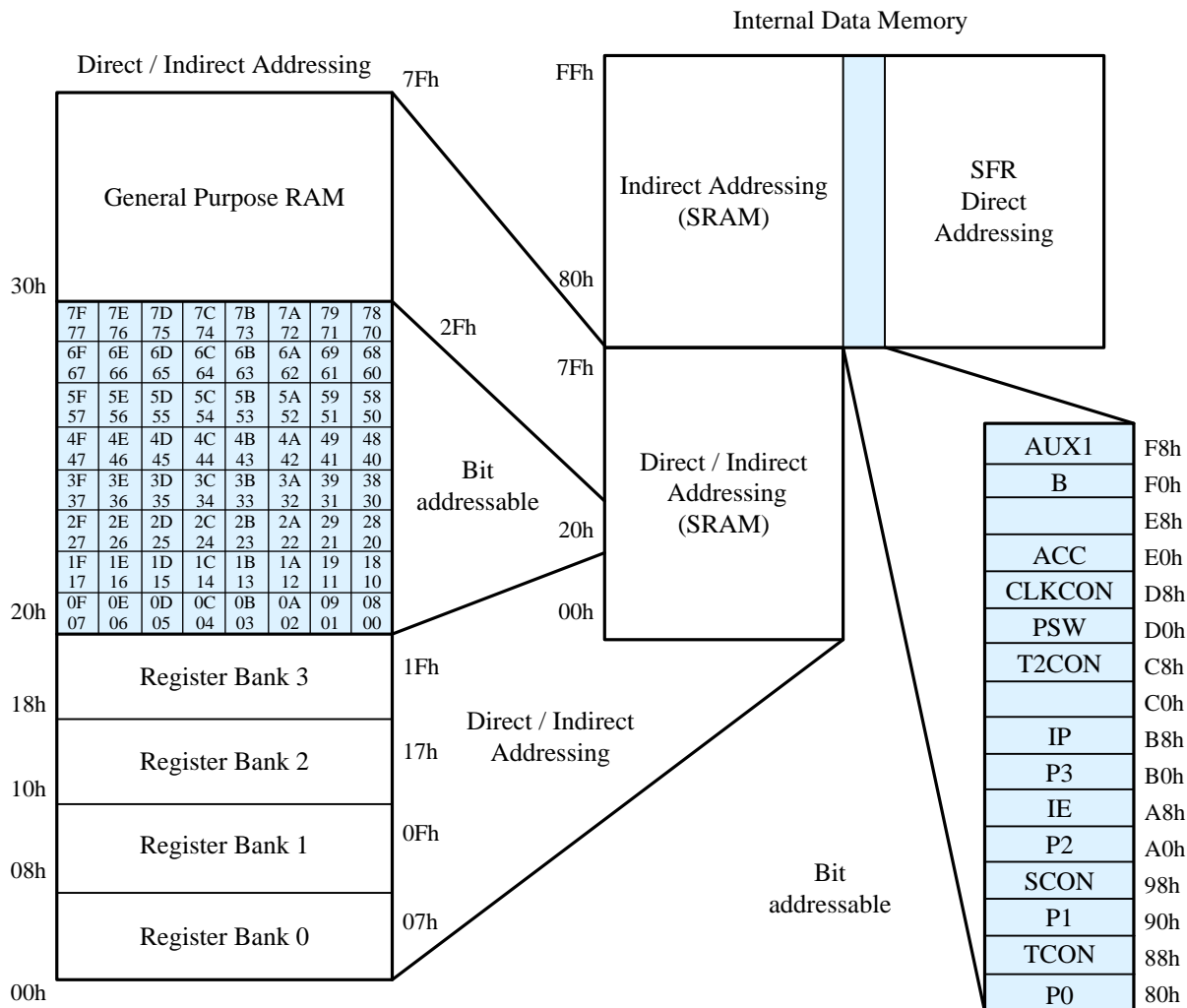
IRAM位于8051内部数据存储空间。整个256字节IRAM都可以使用间接寻址存取,只有较低的128字节可以使用直接寻址存取。有四个直接寻址寄存器组(由PSW开关),占据IRAM空间从00h到1Fh。地址20h到2Fh的16字节IRAM空间可以使用位寻址。IRAM可以作为一般寄存器和程序堆栈。

2.3.2 XRAM

XRAM位于8051外部数据存储器空间(地址从FF00h到FFFFh)。256字节XRAM只能通过“MOVX”指令存取。

2.4 特殊功能寄存器(SFR)

所有的外围功能模块,如I/O,芯片的定时器/计数器、串口(UART)操作都是通过特殊功能寄存器(SFR)存取设置。这些寄存器占用高128字节位置直接数据存储空间上的80h到FFh范围。有14可位寻址的SFR(这意味着单个字节内部的8个各别的位是可寻址的),如ACC,B寄存器,PSW,TCON,SCON和其他。其它SFR只能按字节寻址。SFR提供了内部资源和该芯片的外围设备进行数据交换和控制。在TM52系列微控制器提供了与标准8051指令集完全兼容的二进制代码。除了标准8051特殊功能寄存器外,该芯片还实现了用于配置和存取额外子系统的特殊功能寄存器,例如ADC等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h		PWM4DH	PWM4DL	PWM5DH	PWM5DL	PWM6DH	PWM6DL	
E0h	ACC	MICON	MIDAT	LVRCON	LVDCON		EXA	EXB
D8h	CLKCON	PWM0PRDH	PWM0PRDL	PWM1PRDH	PWM1PRDL	PWM3DH	PWM3DL	
D0h	PSW	PWM0DH	PWM0DL	PWM1DH	PWM1DL	PWM2DH	PWM2DL	
C8h	T2CON	IAPWE	RCP2L	RCP2H	TL2	TH2	EXA2	EXA3
C0h						P0WKUP	P2WKUP	P3WKUP
B8h	IP	IPH	IP1	IP1H				
B0h	P3						PWMOE1	PWMOE2
A8h	IE	INTE1	ADC DL	ADC DH			CHSEL	P0DIE
A0h	P2	PWMCON	P1MODL	P1MODH	P3MODL	P3MODH	PWMOE0	PWMCON2
98h	SCON	SBUF						
90h	P1	P0OE	P1LOE	PINMOD	OPTION	INTFLG	P1WKUP	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1		
80h	P0	SP	DPL	DPH	INTE2	INTFLG2		PCON

3. 复位

该芯片有五种类型的复位(Reset)方法。上电复位(POR),外部引脚复位(XRST),软件复位(SWRST),看门狗定时器复位(WDTR)和低电压复位(LVR),复位后 SFR返回到默认值。

3.1 上电复位 (POR)

上电复位后,设备停留在复位状态,进行40mS的芯片预热。上电复位需要VCC引脚的电压先放电至接近VSS电平,然后再上升超过2.2V。POR 会在芯片进入STOP 模式下自动关闭,可以由LVRPD (SFR E5h)使能/禁止。

3.2 外部引脚复位 (XRST)

外部引脚复位为低电平有效。RSTn引脚需要保持至少两个SRC时钟周期长到芯片可采样。外部引脚复位可以由CFGWH使能/禁止。

3.3 软件复位 (SWRST)

软件复位是通过将数据56h写入SWCMD (SFR 97h)来产生。

3.4 看门狗定时器复位 (WDTR)

WDT溢出复位透过WDTE (SFR F7h.7~6)来控制。WDT使用SRC作为计数时基,在FAST/SLOW时钟模式运行,在IDLE/STOP时钟模式下可选运行或停止。看门狗定时器溢出速度可透过WDTPSC (SFR 94h.5~4)定义。WDT由CLRWDT (SFR F8h.7)或复位清零。

3.5 低电压复位 (LVR)

低电压复位(LVR)透过CFGWH可以选择16阶不同电压阈值。当 PWRSAV (SFR F7h.5) =1 时, LVR 会在芯片进入 IDLE/STOP 模式时自动关闭。可以由LVRPD (SFR E5h)使能/禁止。

注: 详情请参考 AP-TM52XXXXX_02S 有关 LVR 应用说明。

芯片提供低电压复位(LVR)的功能。CFGWH可选择16阶低电压复位, SFR LVRPD和PWRSAV也会影响LVR功能,如下表所示。

操作模式	SFR		CFGWH	LVR	功能	Note
	LVRPD	PWRSAV	LVRE			
快钟模式 慢钟模式	0	X	0000	ON	LVR 2.25V	
	0	X	0001	ON	LVR 2.40V	
	0	X	0010	ON	LVR 2.55V	
	0	X	0011	ON	LVR 2.70V	
	0	X	0100	ON	LVR 2.80V	
	0	X	0101	ON	LVR 2.95V	
	0	X	0110	ON	LVR 3.10V	
	0	X	0111	ON	LVR 3.25V	
	0	X	1000	ON	LVR 3.40V	
	0	X	1001	ON	LVR 3.55V	
	0	X	1010	ON	LVR 3.70V	
	0	X	1011	ON	LVR 3.85V	
	0	X	1100	ON	LVR 4.00V	
	0	X	1101	ON	LVR 4.15V	
	0	X	1110	ON	LVR 4.30V	
0	X	1111	ON	LVR 4.45V		
空闲模式 停止模式 暂停模式	0	0	0000	ON	LVR 2.25V	电流消耗约 60uA
	0	0	0001	ON	LVR 2.40V	
	0	0	0010	ON	LVR 2.55V	
	0	0	0011	ON	LVR 2.70V	
	0	0	0100	ON	LVR 2.80V	
	0	0	0101	ON	LVR 2.95V	
	0	0	0110	ON	LVR 3.10V	
	0	0	0111	ON	LVR 3.25V	
	0	0	1000	ON	LVR 3.40V	
	0	0	1001	ON	LVR 3.55V	
	0	0	1010	ON	LVR 3.70V	
	0	0	1011	ON	LVR 3.85V	
	0	0	1100	ON	LVR 4.00V	
	0	0	1101	ON	LVR 4.15V	
	0	0	1110	ON	LVR 4.30V	
0	0	1111	ON	LVR 4.45V		
空闲模式	0	1	XXXX	ON	Disable LVR Enable POR	电流消耗约 20uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	最小电流消耗约 0.1uA
快钟模式 慢钟模式 空闲模式	1	X	XXXX	ON	Disable LVR Enable POR	电流消耗约 20uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	最小电流消耗约 0.1uA

注：暂停模式会比停止模式多了 SRC 启用的耗电流约 2~5uA

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.5~4 **WDTPSC**: 看门狗定时器预分频时间选择

- 00: 400ms WDT 溢出率
- 01: 200ms WDT 溢出率
- 10: 100ms WDT 溢出率
- 11: 50ms WDT 溢出率

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W						R/W	R/W
Reset	-						-	0

97h.7~0 **SWRST**: 写入 56h 以产生软件复位

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	-	-	-	-	LVRSEL			
R/W	-	-	-	-	R/W	R/W	R/W	R/W
Reset	-	-	-	-	0	0	0	0

E3h.3~0 **LVRSEL**: 低压复位选择 (同 CFGWH LVRE 功能)

- 0000: 将 LVR 设置为 2.25V
- 0001: 将 LVR 设置为 2.40V
- 0010: 将 LVR 设置为 2.55V
- 0011: 将 LVR 设置为 2.65V
- 0100: 将 LVR 设置为 2.80V
- 0101: 将 LVR 设置为 2.95V
- 0110: 将 LVR 设置为 3.10V
- 0111: 将 LVR 设置为 3.25V
- 1000: 将 LVR 设置为 3.40V
- 1001: 将 LVR 设置为 3.55V
- 1010: 将 LVR 设置为 3.70V
- 1011: 将 LVR 设置为 3.85V
- 1100: 将 LVR 设置为 4.00V
- 1101: 将 LVR 设置为 4.15V
- 1110: 将 LVR 设置为 4.30V
- 1111: 将 LVR 设置为 4.45V

SFR E5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRPD	LVRPD							
W	W							
Reset	0							

E5h.7~0 **LVRPD**: LVR 和 POR 掉电选项

- 写入 0x37 以强制禁用 LVR, 禁用 POR
- 写入 0x38 以强制禁用 LVR, 使能 POR

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.7~6 **WDTE**: 看门狗定时器复位控制
 0x: 看门狗定时器复位关闭
 10: 看门狗定时器复位于快钟/慢钟模式下使能,空闲/停止模式时禁止
 11: 看门狗定时器复位始终启用

F7h.5 **PWRSVAV**: 芯片省电选项
 设置 1 可降低空闲和停止模式下芯片的功耗

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	VBGEN	ADSOC	CLRPWM0	CLRPWM1	-	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W
Reset	0	0	0	0	1	1	-	0

F8h.7 **CLRWDT**: 设置以清除看门狗定时器,H/W 自动在一个时钟周期清除它

Flash 1FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE				PREAD	FRCPSC

1FFFh.6 **XRSTE**: 外部引脚复位控制
 0: 禁用外部引脚复位
 1: 启用外部引脚复位

1FFFh.5~2 **LVRE**: 低压复位选择
 0000: 将 LVR 设置为 2.25V
 0001: 将 LVR 设置为 2.40V
 0010: 将 LVR 设置为 2.55V
 0011: 将 LVR 设置为 2.65V
 0100: 将 LVR 设置为 2.80V
 0101: 将 LVR 设置为 2.95V
 0110: 将 LVR 设置为 3.10V
 0111: 将 LVR 设置为 3.25V
 1000: 将 LVR 设置为 3.40V
 1001: 将 LVR 设置为 3.55V
 1010: 将 LVR 设置为 3.70V
 1011: 将 LVR 设置为 3.85V
 1100: 将 LVR 设置为 4.00V
 1101: 将 LVR 设置为 4.15V
 1110: 将 LVR 设置为 4.30V
 1111: 将 LVR 设置为 4.45V

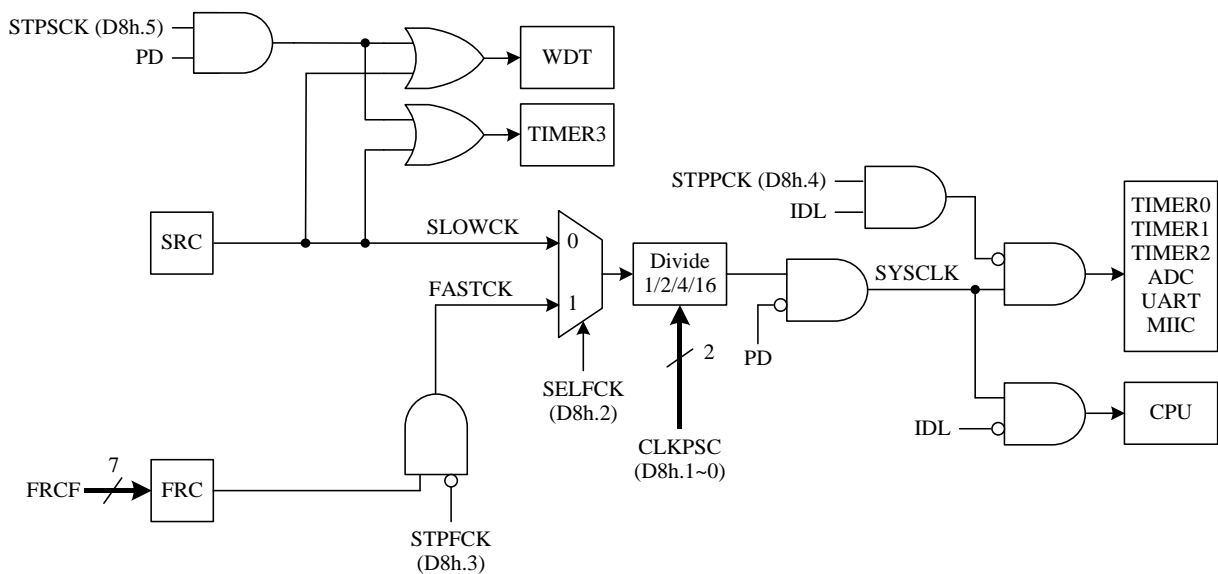
4. 时钟电路

4.1 时钟电路

该芯片设计有双时钟系统。在运行时,用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1,2,4 或 16 的时钟分频器。快时钟为 FRC(快速内部 RC, 16.588 MHz)。慢时钟为 SRC(慢速内部 RC, 80 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。

复位后,该设备在慢钟模式 80 KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 VCC 允许芯片在更高的系统时钟频率运行。在典型的情况下,16 MHz 的系统时钟频率需要 $VCC > 3.1V$ 。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型,在慢钟模式下改变快时钟类型。千万不要同时写 $STPFCK=1$ & $SELFCK=1$ 。建议在写这个 SFR 时一次只写一个位。



时钟结构

Note: 因 CLKPSC 有延迟,改变 CLKPSC 之后,需等待 16 个时钟周期之后,再把慢时钟切换至快时钟,请参考 AP-TM52XXXXX_01S 和 AP-TM52XXXXX_02S 有关系统时钟应用说明

SYSCLK	CLKCON (D8h)	
	bit3 STPFCK	bit2 SELFCK
Fast FRC	0	1
Slow SRC	0/1	0
Stop FRC	0 → 1	0
Switch to FRC	0	0 → 1
Switch to SRC	0	1 → 0

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	–	FRCF						
R/W	–	R/W						
Reset	–	–	–	–	–	–	–	–

F6h.6~0 **FRCF**: FRC频率调整
00h= 频率最低,7Fh=频率最高

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	–	–	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	–	–	R/W	R/W	R/W	R/W	R/W	
Reset	–	–	1	0	0	0	1	1

- D8h.5 **STPSCK**: 设为 1, 停止慢钟在停止模式。
- D8h.4 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。
- D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。
该位只能在慢钟模式时改变。
- D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。
0:慢时钟
1:快时钟
- D8h.1~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 16 个时钟周期
00:系统时钟是快/慢时钟除以 16
01:系统时钟是快/慢时钟除以 4
10:系统时钟是快/慢时钟除以 2
11:系统时钟是快/慢时钟除以 1

4.2 操作模式

这个设备有 5 种操作模式。当系统时钟速度较低时功耗较低。

快钟模式 (Fast mode):

被定义为在快时钟速度运行的 CPU。

慢钟模式 (Slow mode):

被定义为慢时钟速度运行的 CPU。

空闲模式 (Idle mode):

通过设置 PCON 中的 **IDL** 位进入。

快或慢时钟都可设置为在空闲模式下的系统时钟源,但越慢的时钟越省电。在空闲模式下,CPU 进入睡眠,而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1,Timer0/1/2,ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式 (Stop mode):

是通过设置 PCON 中的 **PD** 位进入。

这种模式在标准的 8051 是所谓的“Power Down”模式。在停止模式下,除了 WDT 时钟可能开启,其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

在进入停止模式之前,设备必须设置在慢钟模式。

暂停模式 (Halt mode):

是通过设置 PCON 中的 **PD** 位及清除 CLKCON 中的 **STPSCK** 位进入。

在暂停模式下,所有时钟都停止,但如果启用了 Timer3 和 WDT,则它们可能处于开启状态。暂停模式可以通过复位,引脚唤醒或 Timer3 中断来终止。

在进入停止模式之前,设备必须设置在慢钟模式。

注: 如果INTn 引脚是低电平且该唤醒功能启用,则芯片无法进入 Halt/Stop 模式。(INTn=0 and EXn=1, n=0~2)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

87h.1 **PD**:停止位,如果 1 进入停止模式。

87h.0 **IDL**:空闲位,如果 1 进入空闲模式。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT**: VBG 电压输出至 P3.2

0: 关闭

1: 启用

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	–	–	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	–	–	R/W	R/W	R/W	R/W	R/W	
Reset	–	–	1	0	0	0	1	1

D8h.5 **STPSCK**: 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟 1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

5. 中断和唤醒

该芯片有 13 源 4 级中断优先级结构。所有的中断都可以从空闲模式唤醒 CPU,但只有引脚中断可以从停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1,中断事件将设置其个别的中断标志。中断向量和标志列表如下。

向量	标志	描述
0003	IE0	INT0 外部引脚中断(可以唤醒停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART)中断
002B	TF2+EXF2	Timer2 中断
0033	-	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	PXIF	Port0~Port3 外部引脚电平变化中断(可以唤醒停止模式)
004B	IE2	INT2 外部引脚中断(可以唤醒停止模式)
0053	ADIF	ADC 中断
005B	MIIF	主 I ² C 中断
0063	LVDIF	LVD 中断
006B	-	保留
0073	PWM0IF+PWM1IF	PWM0~1 中断

中断向量和标志

5.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。IP,IPH,IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务,需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时,新的中断将等待被服务,直到它之前的服务完成。如果较低优先级中断正被服务时,将被停止,开始新的中断服务。当新的中断结束后,被停止的较低优先级的中断才会被完成。

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	–	PWM1IE	PWM0IE	–	–	–	–	–
R/W	–	R/W	R/W	–	–	–	–	–
Reset	–	0	0	–	–	–	–	–

84h.6 **PWM1IE:** PWM1~PWM6 中断使能

0: 禁止

1: 使能

84h.5 **PWM0IE:** PWM0 中断使能

0: 禁止

1: 使能

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1WKUP	P1WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

96h.7~0 **P1WKUP:** P1.7~P1.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0WKUP	P0WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C5h.7~0 **P0WKUP:** P0.7~P0.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2WKUP	P2WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C6h.7~0 **P2WKUP:** P2.7~P2.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3WKUP	P3WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

C7h.7~0 **P3WKUP:** P3.7~P3.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

- A8h.7 **EA**:总中断使能控制
0:禁用所有中断
1:每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**:Timer2 中断使能控制
0:禁用 Timer2 中断
1:允许 Timer2 中断
- A8h.4 **ES**:串口(UART)中断使能控制
0:禁用串口(UART)中断
1:允许串口(UART)中断
- A8h.3 **ET1**:Timer1 中断使能控制
0:禁用 Timer1 中断
1:允许 Timer1 中断
- A8h.2 **EX1**:INT1 引脚中断和停止模式唤醒使能控制
0:禁用 INT1 引脚中断和停止模式唤醒
1:允许 INT1 引脚中断和停止模式唤醒,不管 EA 为 0 或 1,都可从停止模式下唤醒 CPU。
- A8h.1 **ET0**:Timer0 中断使能
0:禁用 Timer0 中断
1:允许 Timer0 中断
- A8h.0 **EX0**:INT0 引脚中断和停止模式唤醒使能控制
0:禁用 INT0 引脚中断和停止模式唤醒
1:允许 INT0 引脚中断和停止模式唤醒,不管 EA 为 0 或 1,都可从停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	–	LVDIE	I2CE	ADIE	EX2	PXIE	TM3IE
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

- A9h.7 **PWMIE**: PWM0/PWM1~PWM6 中断使能
0: 禁用 PWM0/PWM1~PWM6 中断
1: 允许 PWM0/PWM1~PWM6 中断
- A9h.5 **LVDIE**: LVD 中断使能控制
0:禁用 LVD 中断
1:允许 LVD 中断
- A9h.4 **I2CE**: I²C 中断使能控制
0:禁用 I²C 中断
1:允许 I²C 中断
- A9h.3 **ADIE**:ADC 中断使能控制
0:禁用 AD 中断
1:允许 ADC 中断
- A9h.2 **EX2**:INT2 引脚中断和停止模式唤醒使能控制
0:禁用 INT2 引脚中断和停止模式唤醒
1:允许 INT2 引脚中断和停止模式唤醒,不管 EA 为 0 或 1,都可从停止模式下唤醒 CPU。
- A9h.1 **PXIE**:端口 0/1/2/3 引脚电平变化中断使能控制
0:禁用端口 0/1/2/3 引脚电平变化中断
1:允许端口 0/1/2/3 引脚电平变化中断
- A9h.0 **TM3IE**:Timer3 中断使能控制
0:禁用 Timer3 中断
1:允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	–	–	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	–	–	PT2	PS	PT1	PX1	PT0	PX0
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

B9h.5,B8h.5 **PT2H,PT2**:Timer2 中断优先级控制。(PT2H,PT2)=

00:0 级(最低优先级)

01:1 级

10:2 级

11:3 级(最高优先级)

B9h.4,B8h.4 **PSH,PS**:串口(UART)中断优先级控制。定义如上。

B9h.3,B8h.3 **PT1H,PT1**:Timer1 中断优先级控制。定义如上。

B9h.2,B8h.2 **PX1H,PX1**:INT1 引脚中断优先级控制。定义如上。

B9h.1,B8h.1 **PT0H,PT0**:Timer0 中断优先级控制。定义如上。

B9h.0,B8h.0 **PX0H,PX0**:INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	PPWMH	–	PLVDH	PI2CH	PADIH	PX2H	PPXH	PT3H
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM	–	PLVD	PI2C	PADI	PX2	PPX	PT3
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

BBh.7,BAh.7 **PPWMH, PPWM**: PWM0~PWM1 中断优先级控制。定义如上

BBh.5,BAh.5 **PLVDH, PLVD**: LVD 中断优先级控制。定义如上。

BBh.4,BAh.4 **PI2CH,PI2C**: I²C 中断优先级控制。定义如上。

BBh.3,BAh.3 **PADIH,PADI**: ADC 中断优先级控制。定义如上。

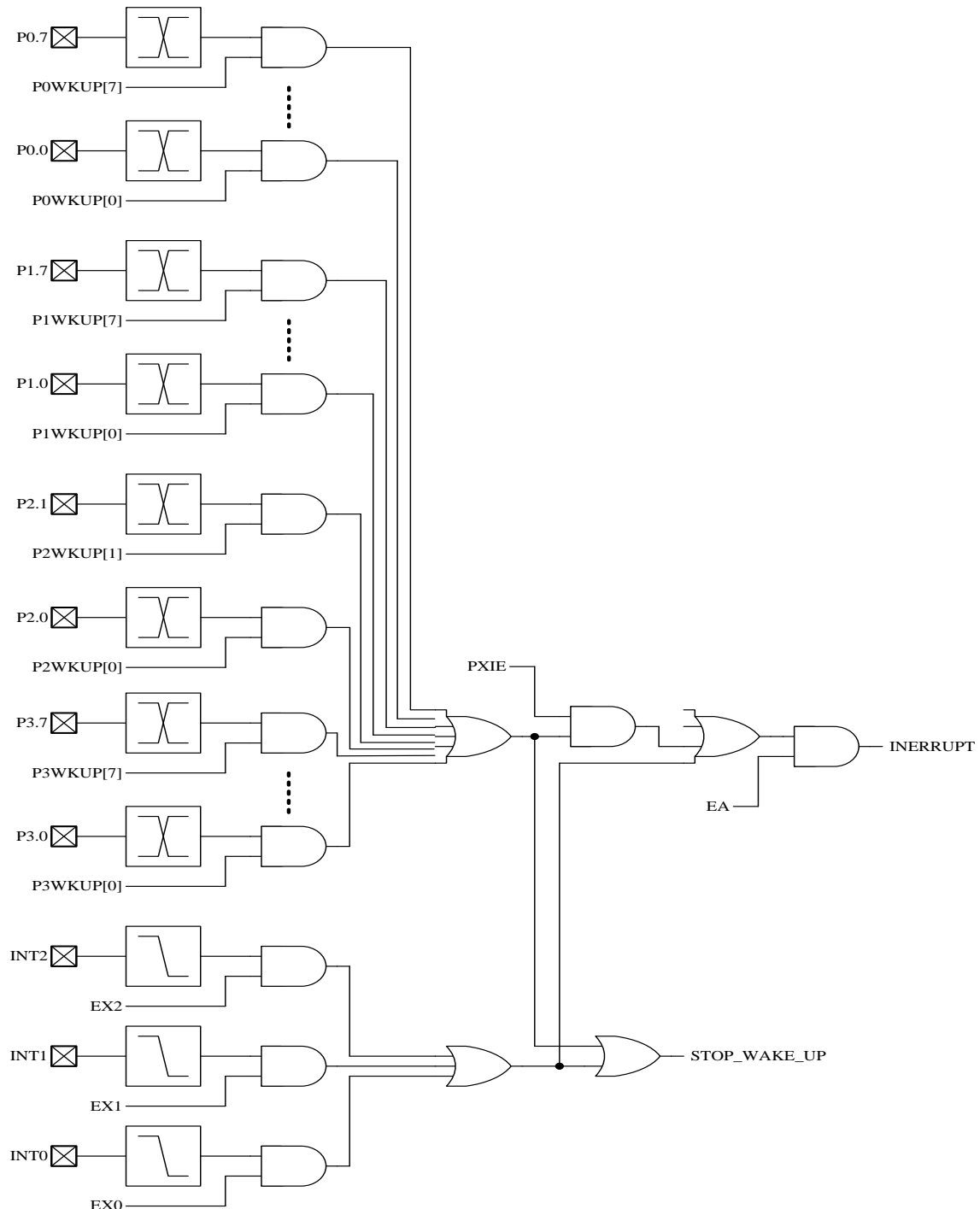
BBh.2,BAh.2 **PX2H,PX2**:INT2 引脚中断优先级控制。定义如上。

BBh.1,BAh.1 **PPXH,PPX**:端口 0~3 引脚电平变化中断优先级控制。定义如上。

BBh.0,BAh.0 **PT3,PT3**:Timer3 中断优先级控制。定义如上。

5.2 引脚中断

引脚中断包括 INT0~INT2 和端口 0~3 电平变化中断。这些引脚也有停止模式唤醒功能。INT0 和 INT1 是下降沿或低电平触发为 8051 标准。INT2 为下降沿触发,而端口 0~3 电平变化中断是由任何端口 0~3 引脚的状态变化触发。



引脚中断和唤醒

注:如果INT_n引脚是低电平且该唤醒功能启用,则芯片无法进入Stop模式。(INT_n=0 and EX_n=1, n=0~2)

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1:**外部中断 1(INT1 引脚)边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时,不管 EX1 为 0 或 1。
 程序执行中断服务时,它会被自动清除。
- 88h.2 **IT1:**外部中断 1 控制位
 0:低电平有效(电平触发)的 INT1 引脚
 1:下降沿有效(边沿触发)的 INT1 引脚
- 88h.1 **IE0:**外部中断 0(INT0 引脚)边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时,不管 EX0 为 0 或 1。
 程序执行中断服务时,它会被自动清除。
- 88h.0 **IT0:**外部中断 0 控制位
 0:低电平有效(电平触发)的 INT0 引脚
 1:下降沿有效(边沿触发)的 INT0 引脚

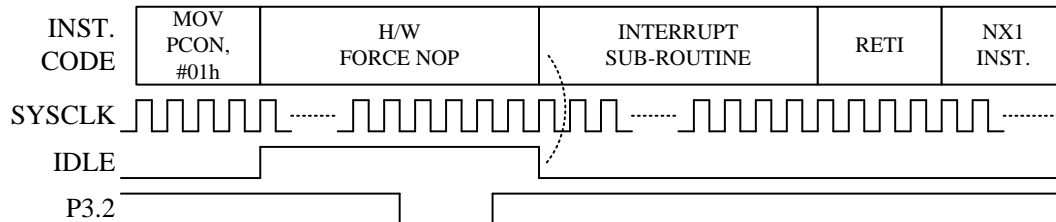
SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	-	-	-	ADIF	-	IE2	PXIF	TF3
R/W	-	-	-	R/W	-	R/W	R/W	R/W
Reset	-	-	-	0	-	0	0	0

- 95h.2 **IE2:**外部中断 2(INT2 引脚)边沿标志
 设置于 H/W 检测到 INT2 引脚下降沿时,不管 EX2 为 0 或 1。
 程序执行中断服务时,它会被自动清除。
 S/W 也可以写 FBh 到 INTFLG 以清除该标志。(注)
- 95h.1 **PXIF:**端口 0~3 引脚电平变化中断标志
 设置于 H/W 检测到 Port0~Port3 引脚的状态变化时,且其相应的中断使能位 (P0WKUP/P1WKUP/P2WKUP/P3WKUP)被设置。
 程序执行中断服务时,它会被自动清除。S/W 也可以写 FDh 到 INTFLG 以清除该标志。(注)

注:S/W可以写0清除INTFLG中的标志,但写1没有任何效果。

5.3 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒,这意味着各个中断使能位(如:EX0)和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断(引脚,定时器,ADC,触摸按键,SPI 和 UART),可以将 CPU 从空闲模式唤醒。当空闲被唤醒,立即进入中断服务程序。当中断服务程序返回后,“IDL(PCON.0)设置后的第一个指令”将被执行。



EA=EX0=1,P3.2(INT0)空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	-	-	-	GF1	GF0	PD	IDL
R/W	R/W	-	-	-	R/W	R/W	R/W	R/W
Reset	0	-	-	-	0	0	0	0

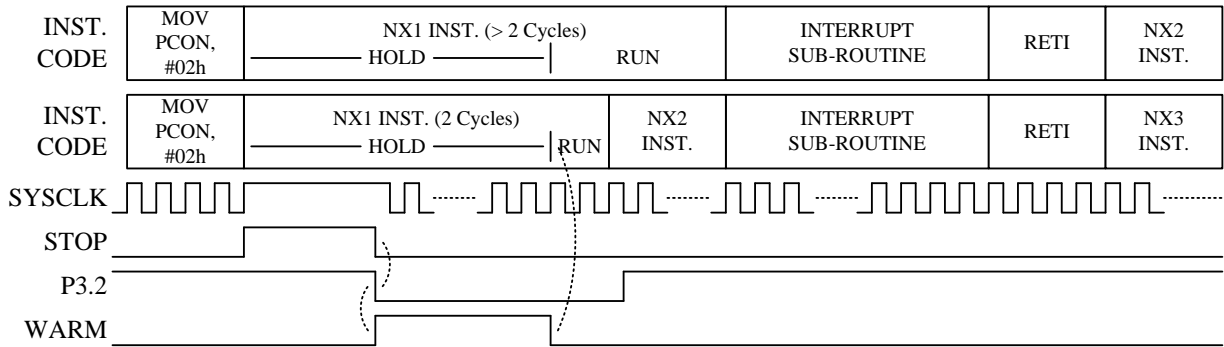
87h.1 **PD:**停止位,如果 1 进入停止模式。

87h.0 **IDL:**空闲位,如果 1 进入空闲模式。

5.4 停止模式唤醒和中断

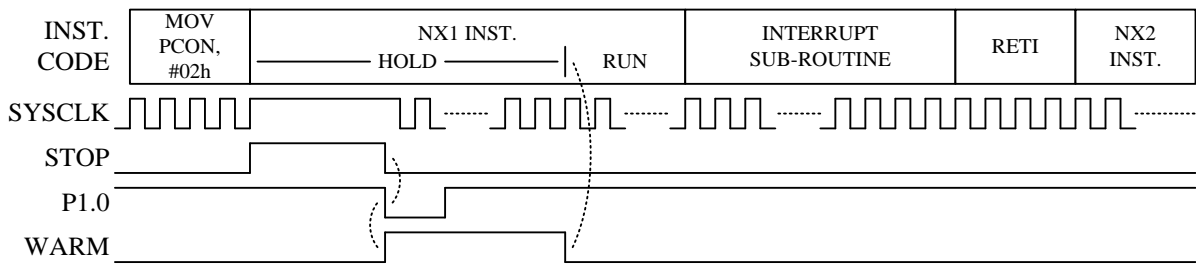
停止模式唤醒很简单,只要把各个引脚的中断使能位(如:EX0)设置,该引脚唤醒功能启用。设置 EX0/EX1/EX2 可以允许 INT0/INT1/INT2 引脚上的停止模式唤醒功能。设置 P1WKUP 位 7~0 可以启用 P1.7~P1.0 的停止模式唤醒功能。一旦停止被唤醒,“PD(PCON.1)设置后的第一条指令”立即在中断服务之前被执行。中断进入需要 EA=1(P1WKUP 还需要 P1IE=1)和该引脚触发状态停留足够长,以被系统时钟采样到。此功能可让 CPU 停止模式唤醒后,进入或不进入中断子程序。

注:如果 INTn 引脚是低电平且该唤醒功能启用,则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0~2)



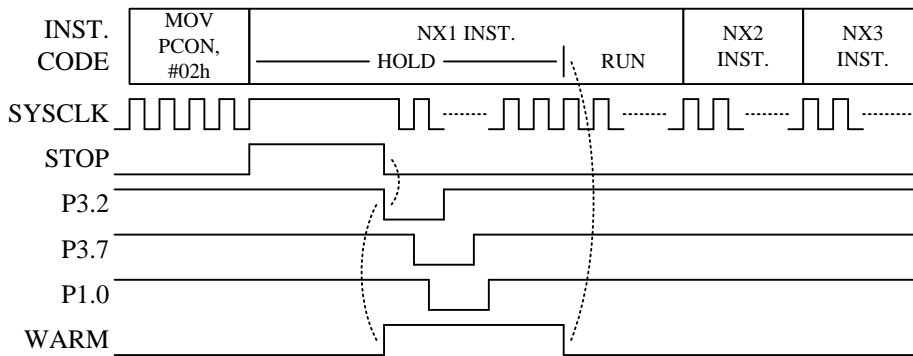
EA=EX0=1

P3.2(INT0)预热后被采样,停止模式唤醒和中断



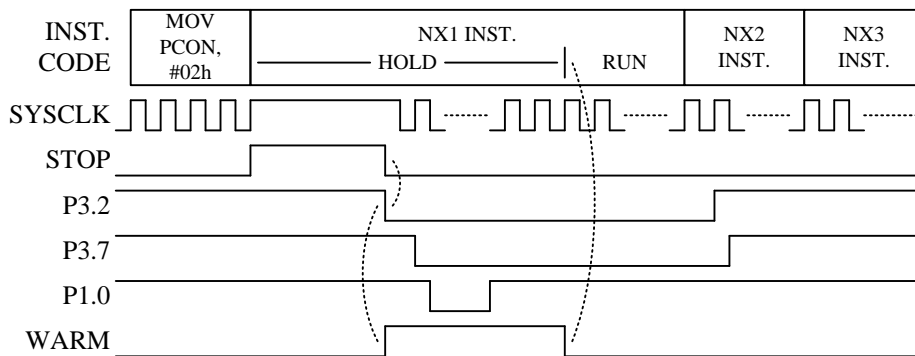
EA=P1IE=P1WKUP=1

P1.0 变化(不需要时钟采样),停止模式唤醒和中断



EA=EX0=EX2=P1WKUP=1,P1IE=0

P3.2/P3.7 脉冲太窄,停止模式唤醒,但没有中断



EX0=EX2=P1WKUP=P1IE=1,EA=0

停止模式唤醒,但没有中断

6. I/O 端口

该芯片总共有26个多功能I/O引脚。所有的I/O引脚遵循标准8051“读-修改-写”功能。读取SFR的,而不是引脚状态的指令,会读取一个端口或端口位的值,可能改变它,然后将它改写到SFR。(例如:ANL P1,A; INC P2; CPL P3.0)。

端口 1, 端口 2 和端口 3 这些引脚可以在四种不同的模式,如下操作。

模式	端口 1, P2.1~P2.0, 端口 3 引脚功能		Px.n SFR 数据	引脚状态	电阻上拉	数位输入
	P3.2~P3.0	其他				
模式 0	伪开漏输出	开漏输出	0	驱动低	N	N
			1	上拉	Y	Y
模式 1	伪开漏输出	开漏输出	0	驱动低	N	N
			1	高阻抗	N	Y
模式 2	CMOS 推挽输出		0	驱动低	N	N
			1	驱动高	N	N
模式 3	替代功能,如 ADC		X (无关)	-	N	N

端口 1, P2.1~P2.0, 端口 3 I/O 引脚菜单

如果一个端口 1, P2.1~P2.0 和端口 3 引脚用于施密特触发输入, S/W 必须设置 I/O 引脚到模式 0 或模式 1, 并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 端口的功能, 每个端口 1, P2.1~P2.0 和端口 3 引脚各具有一个或多个可选的替代功能, 如 LCD, ADC, PWM 和触摸按键。部分的功能通过将各个引脚的模式控制 SFR 设为模式 3。端口 1/端口 3 引脚具有标准 8051 的辅助定义如 INT0/1, T0/1/2, 或 RXD/TXD。这些引脚功能需要设置引脚模式 SFR 为模式 0 或模式 1 和保持 P1.n/P3.n 的 SFR 为 1。

Pin Name	8051	Wake-up	CKO	ADC	PWM	LCD	others	Mode3
P1.0	T2	Y	T2O	AD2	PWM3			AD2
P1.1	T2EX	Y		AD3	PWM2			AD3
P1.2		Y			PWM1	LCDC0		
P1.3		Y		AD16	PWM6	LCDC1	SCL	AD16
P1.4		Y		AD17	PWM5	LCDC2		AD17
P1.5		Y		AD18	PWM4	LCDC3		AD18
P1.6		Y		AD19			SDA/TXD	AD19
P1.7		Y		AD9				AD9
P3.0	RXD	Y		AD6				AD6
P3.1	TXD	Y		AD7				AD7
P3.2	INT0	Y		AD5			VBGO	AD5
P3.3	INT1	Y		AD4				AD4
P3.4	T0	Y	T0O	AD8	PWM3			AD8
P3.5	T1	Y	T1O		PWM0P		SDA	
P3.6		Y			PWM0N PWM2/4			
P3.7	INT2	Y					RSTn	
P2.0		Y						
P2.1		Y						

Port1, P2.1~P2.0, Port3 multi-function Table

端口1/P2.1~P2.0/端口3引脚的替代功能所需的SFR设置如下。

Alternative Function	Mode	Px.n SFR data	Pin State	Other necessary SFR setting
T0, T1, T2, T2EX, INT0, INT1, INT2	0	1	输入上拉	
	1	1	输入	
RXD, TXD	0	1	输入上拉/伪开漏输出	TXRXSEL
	1	1	输入/伪开漏输出	
SCL (I ² C Master)	0	X	I ² C 时钟输出 (开漏输出,上拉)	MSCLSEL
	2	X	I ² C 时钟输出(CMOS 推挽)	
SDA (I ² C Master)	0	1	I ² C 数据 (Pull-up)	MSDASEL
T00, T10, T20	0	X	时钟开漏输出,上拉	T0OE
	1	X	时钟开漏输出	T1OE
	2	X	时钟输出(CMOS 推挽)	T2OE
VBGO	X	X	带隙基准电压输出	VBGOUT
LCDC0~ LCDC3	X	X	1/2 Bias Output	PILOE
ADx	3	X	ADC 通道	
PWM0~PWM6	0	X	PWM 开漏输出,上拉	PWMOE0
	1	X	PWM 开漏输出	PWMOE1
	2	X	PWM 输出(CMOS 推挽)	PWMOE2

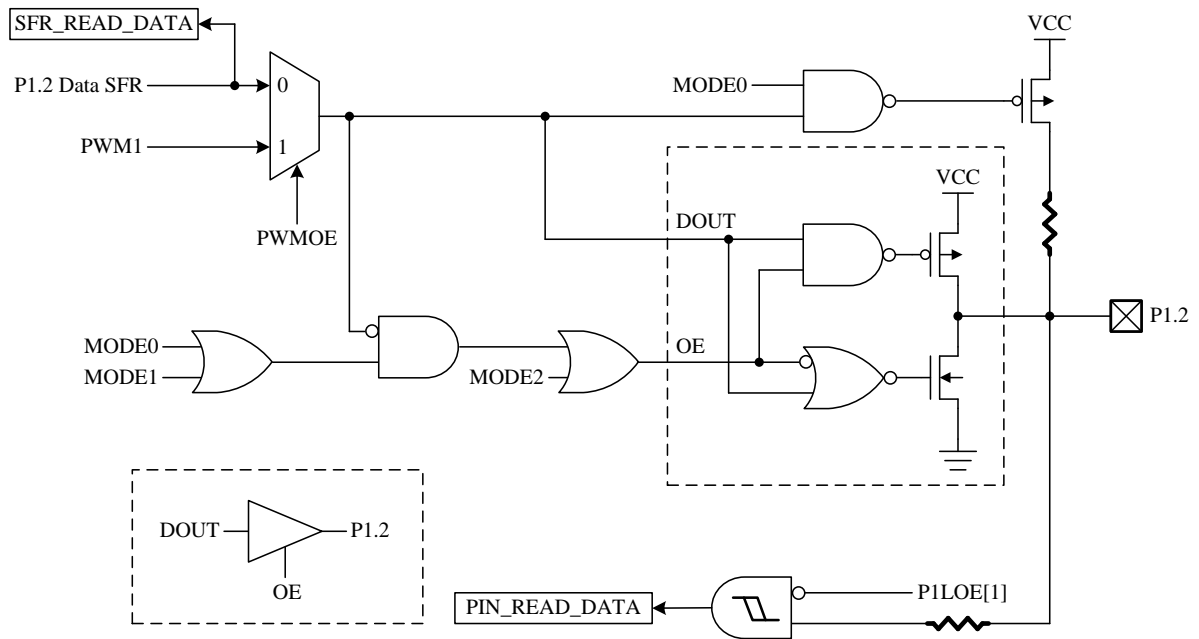
端口 1,P2.1~P2.0, 端口 3 替代功能模式设置

对于上表中,“**CMOS推挽**”引脚意味着它可以吸收和驱动至少4 mA的电流。我们不建议使用这种引脚作为输入功能。

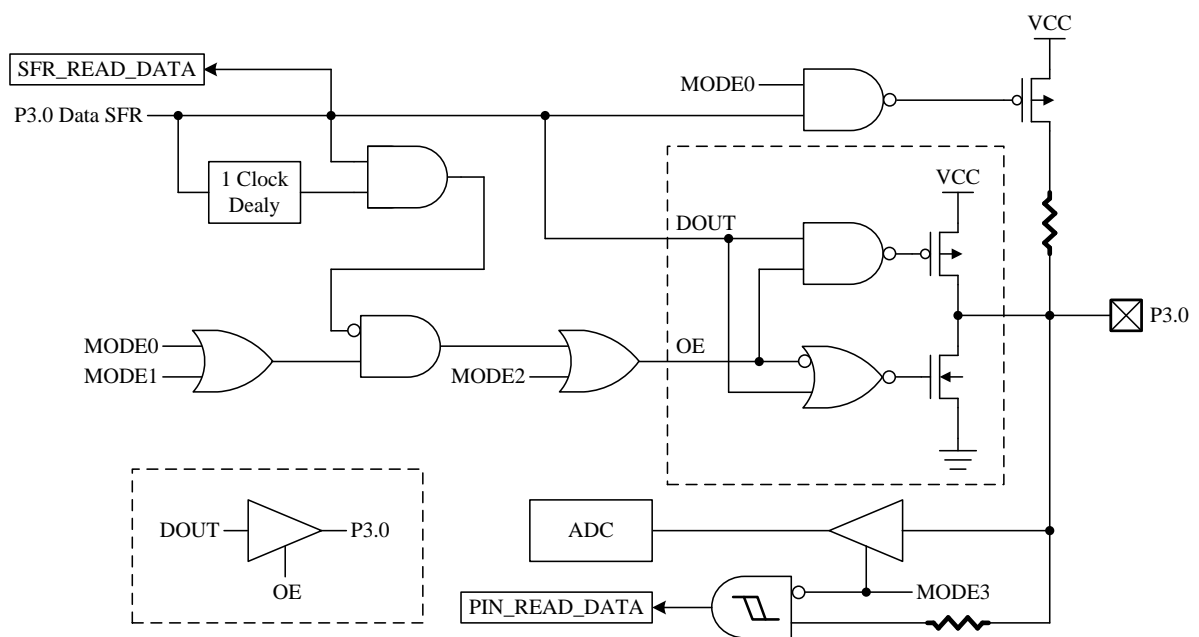
一个“**开漏**”引脚意味着它可以吸收至少4 mA电流,但只能驱动小电流(<20μA)。它可以用作输入或输出功能,并且通常需要一个外部上拉电阻。

8051标准引脚是一个“**伪开漏**”引脚。它可以吸收至少4 mA电流于低电平输出,并于输出从低到高时,驱动至少4 mA电流1~2个时钟周期,然后开为小电流(<20μA),以维持引脚在高电平。它可以用作输入或输出功能。

注1: 关于上述的引脚相关 SFR 设置,引脚做为 LCD 时,拥有最高的优先权。若引脚不做为 LCD 使用 (像是引脚做为一般 I/O,ADC),软件务必将 LCD 功能设置为关闭。



P1.2 引脚结构



P3.0 引脚结构

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1**: 端口 1 数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.1~0 **P2.1~P2.0**: P2.1~P2.0 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口 3 数据

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.4 **VBGOUT**: VBG 电压输出至 P3.2

0: 关闭
1: 启用

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PILOE	–	–	–	–	PILOE3	PILOE2	PILOE1	PILOE0
R/W	–	–	–	–	R/W	R/W	R/W	R/W
Reset	–	–	–	–	0	0	0	0

92h.3 **PILOE3**: LCD 1/2 偏压输出使能控制

0: Disable
1: P15 as LCD 1/2 偏压输出

92h.2 **PILOE2**: LCD 1/2 偏压输出使能控制

0: Disable
1: P14 as LCD 1/2 偏压输出

92h.1 **PILOE1**: LCD 1/2 偏压输出使能控制

0: Disable
1: P13 as LCD 1/2 偏压输出

92h.0 **PILOE0**: LCD 1/2 偏压输出使能控制

0: Disable
1: P12 as LCD 1/2 偏压输出

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	TXRXSEL	T2OE	T1OE	T0OE	P2MOD1		P2MOD0	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	1	0	1

93h.7 **TXRXSEL**: UART TXD/RXD pin select

0: P31 设置为 TXD, P30 设置为 RXD
1: P16 设置为 TXD, P02 设置为 RXD

- 93h.6 **T2OE:**Timer2 信号输出(T2O)使能
 0:禁止 Timer2 溢出除以 2 输出到 P1.0
 1:允许 Timer2 溢出除以 2 输出到 P1.0
- 93h.5 **T1OE:** Timer1 signal output (T1O) control
 0:禁止"Timer1 溢出除以 2 输出到 P3.5 pin
 1:允许"Timer1 溢出除以 2 输出到 P3.5 pin
- 93h.4 **T0OE:**Timer0 信号输出(T0O)控制
 0:禁止"Timer0 溢出除以 64"输出到 P3.4
 1:允许"Timer0 溢出除以 64"输出到 P3.4
- 93h.3~2 **P2MOD1:**P2.1 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:未定义
- 93h.1~0 **P2MOD0:**P2.0 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:未定义

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A2h.7~6 **P1MOD3:**P1.3 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3,P1.3 为 ADC 输入
- A2h.5~4 **P1MOD2:**P1.2 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3
- A2h.3~2 **P1MOD1:**P1.1 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3,P1.1 为 ADC 输入
- A2h.1~0 **P1MOD0:**P1.0 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3,P1.0 为 ADC 输入

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A3h.7~6 **P1MOD7:**P1.7 引脚控制



- 00:模式 0
01:模式 1
10:模式 2
11:模式 3,P1.7 为 ADC 输入
- A3h.5~4 **P1MOD6**:P1.6 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P1.6 为 ADC 输入
- A3h.3~2 **P1MOD5**:P1.5 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P1.5 为 ADC 输入
- A3h.1~0 **P1MOD4**:P1.4 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P1.4 为 ADC 输入

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A4h.7~6 **P3MOD3**:P3.3 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P3.3 为 ADC 输入
- A4h.5~4 **P3MOD2**:P3.2 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P3.2 为 ADC 输入
- A4h.3~2 **P3MOD1**:P3.1 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P3.1 为 ADC 输入
- A4h.1~0 **P3MOD0**:P3.0 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P3.0 为 ADC 输入

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A5h.7~6 **P3MOD7**:P3.7 引脚控制
00:模式 0
01:模式 1



- 10:模式 2
11:模式 3
- A5h.5~4 **P3MOD6**:P3.6 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3
- A5h.3~2 **P3MOD5**:P3.5 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3
- A5h.1~0 **P3MOD4**:P3.4 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3,P3.4 为 ADC 输入

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE0	PWM1OE3	PWM1OE2	PWM1OE1	PWM1OE0	PWM0NOE1	PWM0POE1	PWM0NOE0	PWM0POE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A6h.7 **PWM1OE3**: PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P1.2
- A6h.6 **PWM1OE2**: PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.6
- A6h.5 **PWM1OE1**: PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.4
- A6h.4 **PWM1OE0**: PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.2
- A6h.3 **PWM0NOE1**: PWM0N 信号输出使能
0: 禁止 1: PWM0N 信号输出到 P3.6
- A6h.2 **PWM0POE1**: PWM0P 信号输出使能
0: 禁止 1: PWM0P 信号输出到 P3.5
- A6h.1 **PWM0NOE0**: PWM0N 信号输出使能
0: 禁止 1: PWM0N 信号输出到 P0.4
- A6h.0 **PWM0POE0**: PWM0P 信号输出使能
0: 禁止 1: PWM0P 信号输出到 P0.3

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE1	PWM4OE3	PWM4OE2	PWM4OE1	PWM4OE0	PWM3OE1	PWM3OE0	PWM2OE1	PWM2OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B6h.7 **PWM4OE3**: PWM4 信号输出使能
0: 禁止 1: PWM4 信号输出到 P3.6
- B6h.6 **PWM4OE2**: PWM4 output control
0: 禁止 1: PWM4 信号输出到 P1.5
- B6h.5 **PWM4OE1**: PWM4 output control



- 0: 禁止 1: PWM4 信号输出到 P0.4
- B6h.4 **PWM4OE0:** PWM4 output control
- 0: 禁止 1: PWM4 信号输出到 P0.0
- B6h.3 **PWM3OE1:** PWM3 output control
- 0: 禁止 1: PWM3 信号输出到 P3.4
- B6h.2 **PWM3OE0:** PWM3 output control
- 0: 禁止 1: PWM3 信号输出到 P1.0
- B6h.1 **PWM2OE1:** PWM2 output control
- 0: 禁止 1: PWM2 信号输出到 P3.6
- B6h.0 **PWM2OE0:** PWM2 output control
- 0: 禁止 1: PWM2 信号输出到 P1.1

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE2	MSDASEL	MSCLSEL	PWM6OE2	PWM6OE1	PWM6OE0	PWM5OE2	PWM5OE1	PWM5OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B7h.7 **MSDASEL:** I²C SDA 引脚选择
- 0: P3.5 设置为 I²C SDA
- 1: P1.6 设置为 I²C SDA
- B7h.6 **MSCLSEL:** I²C SCL 引脚选择
- 0: P1.3 设置为 I²C SCL
- 1: P0.2 设置为 I²C SCL
- B7h.5 **PWM6OE2:** PWM6 信号输出使能
- 0: 禁止 1: PWM6 信号输出到 P1.3
- B7h.4 **PWM6OE1:** PWM6 output control
- 0: 禁止 1: PWM6 信号输出到 P0.7
- B7h.3 **PWM6OE0:** PWM6 output control
- 0: 禁止 1: PWM6 信号输出到 P0.3
- B7h.2 **PWM5OE2:** PWM5 output control
- 0: 禁止 1: PWM5 信号输出到 P1.4
- B7h.1 **PWM5OE1:** PWM5 output control
- 0: 禁止 1: PWM5 信号输出到 P0.6
- B7h.0 **PWM5OE0:** PWM5 output control
- 0: 禁止 1: PWM5 信号输出到 P0.1

端口 0

这些引脚与触摸,ADC,LCD共享。如果端口0的引脚定义为I/O引脚,它可作为推挽输出或施密特触发输入。该引脚的上拉功能是由SFR位P0OE.n = 0和P0.n = 1所设置。

端口 0 引脚功能	P0OE.n	P0.n SFR 数据	引脚状态	电阻上拉	数位输入
输入	0	0	高阻抗	N	Y
	0	1	上拉	Y	Y
CMOS 推挽输出	1	0	驱动低	N	N
	1	1	驱动高	N	N

端口 0 I/O 引脚菜单

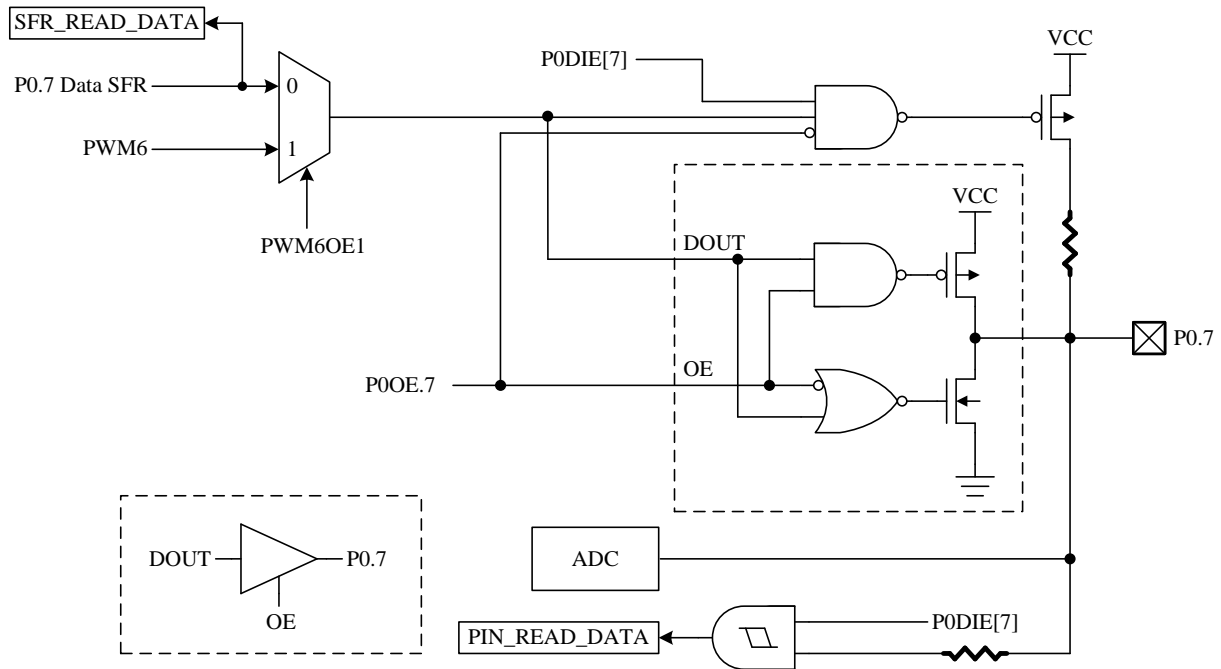
引脚名称	唤醒	ADC	PWM	其他
P0.0	Y	AD20	PWM4	
P0.1	Y	AD21	PWM5	
P0.2	Y	AD22	PWM1	RXD/SCL
P0.3	Y	AD1	PWM0P/PWM6	
P0.4	Y	AD0	PWM0N/PWM1/PWM4	
P0.5	Y	AD11		
P0.6	Y		PWM1/PWM5	
P0.7	Y	AD10	PWM6	

端口 0 多重菜单

端口0引脚的替代功能所需的SFR设置如下。

替代功能	PxOE.n	Px.n SFR 数据	引脚状态	其他需要的 SFR 设置
RXD	0	1	Input with Pull-up	TXRXSEL
SCL (I ² C Master)	0	X	I ² C Clock Output (Open Drain Output, Pull-up)	MSCLSEL
	1	X	I ² C Clock Output (CMOS Push-Pull)	
ADx	0	0	ADC Channel	PODIE
PWM0~PWM6	0	X	PWM Open Drain Output	PWMOE0 PWMOE1
	1	X	PWM Output (CMOS Push-Pull)	PWMOE2

端口 0 替代功能模式设置



P0.7 引脚结构

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

80h.7~0 **P0**:端口 0 的数据,也可以控制 P0.n 引脚的上拉功能。如果的 P0.n SFR 数据是“1”和相应的 P0OE.n = 0(输入模式)中,上拉使能。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0OE	P0OE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

91h.7~0 **P0OE**:端口 0 CMOS 推挽输出使能控制
 0:关闭
 1:开启

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	TXRSEL	T2OE	T1OE	T0OE	P2MOD1		P2MOD0	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	1	0	1

93h.7 **TXRSEL**: UART TXD/RXD 引脚选择
 0: P31 设置为 TXD, P30 设置为 RXD
 1: P16 设置为 TXD, P02 设置为 RXD

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PODIE	PODIE7	PODIE6	PODIE5	PODIE4	PODIE3	PODIE2	PODIE1	PODIE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- AFh.7 **PODIE7:** 引脚数字输入使能
 0: P0.7 设置为 ADC 输入引脚
 1: 使能 P0.7 数字输入
- AFh.6 **PODIE6:** 引脚数字输入使能
 0: 禁止 P0.6 数字输入
 1: 使能 P0.6 数字输入
- AFh.5 **PODIE5:** 引脚数字输入使能
 0: P0.5 设置为 ADC 输入引脚
 1: 使能 P0.5 数字输入
- AFh.4 **PODIE4:** 引脚数字输入使能
 0: P0.4 设置为 ADC 输入引脚
 1: 使能 P0.4 数字输入
- AFh.3 **PODIE3:** 引脚数字输入使能
 0: P0.3 设置为 ADC 输入引脚
 1: 使能 P0.3 数字输入
- AFh.2 **PODIE2:** 引脚数字输入使能
 0: 禁止 P0.2 数字输入
 1: 使能 P0.2 数字输入
- AFh.1 **PODIE1:** 引脚数字输入使能
 0: 禁止 P0.1 数字输入
 1: 使能 P0.1 数字输入
- AFh.0 **PODIE0:** 引脚数字输入使能
 0: 禁止 P0.0 数字输入
 1: 使能 P0.0 数字输入

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0E0	PWM1OE3	PWM1OE2	PWM1OE1	PWM1OE0	PWM0NOE1	PWM0POE1	PWM0NOE0	PWM0POE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A6h.7 **PWM1OE3:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P1.2
- A6h.6 **PWM1OE2:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.6
- A6h.5 **PWM1OE1:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.4
- A6h.4 **PWM1OE0:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.2
- A6h.3 **PWM0NOE1:** PWM0N 信号输出使能
0: 禁止 1: PWM0N 信号输出到 P3.6
- A6h.2 **PWM0POE1:** PWM0P 信号输出使能
0: 禁止 1: PWM0P 信号输出到 P3.5
- A6h.1 **PWM0NOE0:** PWM0N 信号输出使能
0: 禁止 1: PWM0N 信号输出到 P0.4
- A6h.0 **PWM0POE0:** PWM0P 信号输出使能
0: 禁止 1: PWM0P 信号输出到 P0.3

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0E1	PWM4OE3	PWM4OE2	PWM4OE1	PWM4OE0	PWM3OE1	PWM3OE0	PWM2OE1	PWM2OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B6h.7 **PWM4OE3:** PWM4 信号输出使能
0: 禁止 1: PWM4 信号输出到 P3.6
- B6h.6 **PWM4OE2:** PWM4 output control
0: 禁止 1: PWM4 信号输出到 P1.5
- B6h.5 **PWM4OE1:** PWM4 output control
0: 禁止 1: PWM4 信号输出到 P0.4
- B6h.4 **PWM4OE0:** PWM4 output control
0: 禁止 1: PWM4 信号输出到 P0.0
- B6h.3 **PWM3OE1:** PWM3 output control
0: 禁止 1: PWM3 信号输出到 P3.4
- B6h.2 **PWM3OE0:** PWM3 output control
0: 禁止 1: PWM3 信号输出到 P1.0
- B6h.1 **PWM2OE1:** PWM2 output control
0: 禁止 1: PWM2 信号输出到 P3.6
- B6h.0 **PWM2OE0:** PWM2 output control
0: 禁止 1: PWM2 信号输出到 P1.1

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE2	MSDASEL	MSCLSEL	PWM6OE2	PWM6OE1	PWM6OE0	PWM5OE2	PWM5OE1	PWM5OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

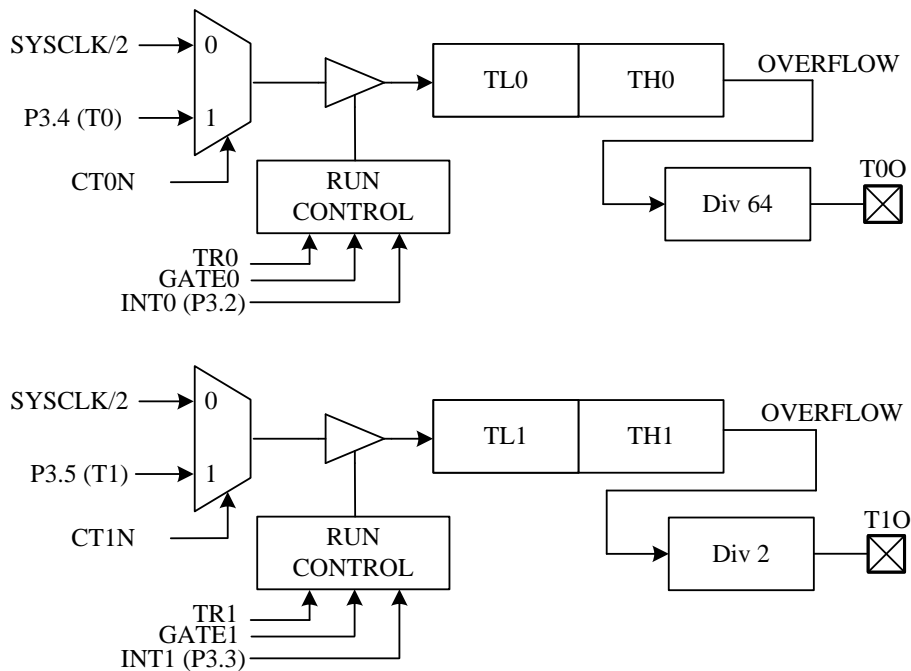
- B7h.7 **MSDASEL**: I²C SDA 引脚选择
 0: P3.5 设置为 I²C SDA
 1: P1.6 设置为 I²C SDA
- B7h.6 **MSCLSEL**: I²C SCL 引脚选择
 0: P1.3 设置为 I²C SCL
 1: P0.2 设置为 I²C SCL
- B7h.5 **PWM6OE2**: PWM6 信号输出使能
 0: 禁止 1: PWM6 信号输出到 P1.3
- B7h.4 **PWM6OE1**: PWM6 output control
 0: 禁止 1: PWM6 信号输出到 P0.7
- B7h.3 **PWM6OE0**: PWM6 output control
 0: 禁止 1: PWM6 信号输出到 P0.3
- B7h.2 **PWM5OE2**: PWM5 output control
 0: 禁止 1: PWM5 信号输出到 P1.4
- B7h.1 **PWM5OE1**: PWM5 output control
 0: 禁止 1: PWM5 信号输出到 P0.6
- B7h.0 **PWM5OE0**: PWM5 output control
 0: 禁止 1: PWM5 信号输出到 P0.1

7. Timer

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加; 在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。除了标准 8051 定时器功能, T00 引脚输出“Timer0 溢出除以 64”的信号, 而 T20 引脚输出“Timer2 溢出除以 2”的信号。

Timer0/1

TCON和TMOD用于设置操作模式,并控制Timer0/1的运行和中断产生,定时器/计数器的值存储在两个成对的8位寄存器(TL0,TH0,和TL1,TH1)。



Timer0 and Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1**:Timer1 溢出标志
 当定时器/计数器 1 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1**:Timer1 运行控制
 0:Timer1 停止
 1:Timer1 运行
- 88h.5 **TF0**:Timer0 溢出标志
 当定时器/计数器 0 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0**:Timer0 运行控制
 0:Timer0 停止
 1:Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1**:Timer1 门控位
 0:当 TR1 位设置时 Timer1 使能
 1:只有当 INT1 引脚为高,TR1 位设置时 Timer1 使能
- 89h.6 **CT1N**:Timer1 计数器/定时器选择位
 0:定时器模式,Timer1 的数据以 2 个系统时钟周期率增加
 1:计数器模式,Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1**:Timer1 模式选择
 00:8 位定时器/计数器(TH1)和 5 位预分频器(TL1)
 01:16 位定时器/计数器
 10:8 位自动重载定时器/计数器(TL1),溢出时从 TH1 重新装载。
 11:Timer1 停止
- 89h.3 **GATE0**:Timer0 门控位
 0:当 TR0 位设置时 Timer0 使能
 1:只有当 INTO 引脚为高,TR0 位设置时 Timer0 使能
- 89h.2 **CT0N**:Timer0 计数器/定时器选择位
 0:定时器模式,Timer0 的数据以 2 个系统时钟周期率增加
 1:计数器模式,Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0**:Timer0 模式选择
 00:8 位定时器/计数器(TH0)和 5 位预分频器(TL0)
 01:16 位定时器/计数器
 10:8 位自动重载定时器/计数器(TL0),溢出时从 TH0 重新装载。
 11:TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器,使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**:Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**:Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**:Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

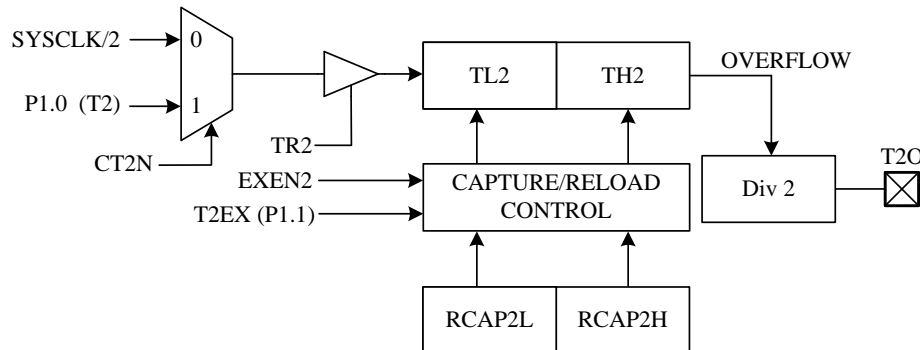
8Dh.7~0 **TH1**:Timer1 数据的高字节

注:另请参阅第 5 章的有关 Timer0/1 中断使能和优先级的更多信息。

注:同时参阅第 6 章关于 T00 引脚输出设置的详细信息。

Timer2

Timer2通过TCON2寄存器存储在TL2和TH2的定时器/计数器2低和高字节和存储在RCAP2L和RCAP2H的Timer2重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- C8h.7 **TF2:**Timer2 溢出标志
当定时器/计数器 2 溢出时由 H/W 设置,除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。
- C8h.6 **EXF2:**T2EX 中断引脚下降沿标志
如果 EXEN2=1,当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。
- C8h.5 **RCLK:**UART 接收时钟控制位
0:模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟
1:模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟
- C8h.4 **TCLK:**UART 发送时钟控制位
0:模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟
1:模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟
- C8h.3 **EXEN2:**T2EX 引脚使能
0:T2EX 引脚禁用
1:T2EX 引脚使能,如果 RCLK=TCLK=0,当检测出 T2EX 引脚的下降沿跳变,这引起捕获或重载
- C8h.2 **TR2:**Timer2 运行控制
0:Timer2 停止
1:Timer2 运行
- C8h.1 **CT2N:**Timer2 计数器/定时器选择位
0:定时器模式,Timer2 的数据以 2 个系统时钟周期率增加
1:计数器模式,Timer2 的数据在 T2 引脚的下降沿时增加
- C8h.0 **CPRL2N:**Timer2 捕捉/重载控制位
0:重载模式,如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载
1:捕捉模式,如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉
如果 RCLK=1 或 TCLK=1 时,CPRL2N 被忽略,Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**:Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**:Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**:Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**:Timer2 数据的高字节

注:另请参阅第 5 章的有关 Timer2 中断使能和优先级的更多信息。

注:同时参阅第 6 章关于 T2O 引脚输出设置的详细信息。

Timer3

该芯片的Timer3作为时基计数器,周期性地产生中断。它会产生一个中断标志位(TF3)当时钟除以32768,16384,8192或65536取决于TM3PSC位。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDT_PSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.6 **TM3CKS**:Timer3 时钟源选择。

0: 慢时钟源 (SRC)

1: FRC/512 (~32KHz)

94h.1~0 **TM3PSC**:Timer3 中断率控制选择

00:中断率是 32768 慢时钟周期

01:中断率是 16384 慢时钟周期

10:中断率是 8192 慢时钟周期

11:中断率是 65536 慢时钟周期

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	-	-	-	ADIF	-	IE2	PXIF	TF3
R/W	-	-	-	R/W	-	R/W	R/W	R/W
Reset	-	-	-	0	-	0	0	0

95h.0 **TF3**:Timer3 中断标志

当Timer3 到达 TM3PSC 设置周期时由 H/W 设置。

当程序执行中断服务程序时被自动清除。

S/W 也可以写 FEh 到 INTFLG 清除该标志。(注 2)

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	VBGEN	ADSOC	CLRPWM0	CLRPWM1	-	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W
Reset	0	0	0	0	1	1	-	0

F8h.6 **CLRTM3**:设置以清除 Timer3,H/W 会在下一个时钟周期自动清除此设置

注:另请参阅第 5 章的有关 Timer3 中断使能和优先级的更多信息。

T00, T10 和 T20 输出控制

该装置可以产生各种频率的波形引脚输出 (CMOS 推挽格式) 供蜂鸣器使用。T00 波形由 Timer0 溢出除以 64 产生, T20 波形由 Timer2 溢出除以 2 产生。用户可以设置定时器自动重装速度以控制自己的频率。设置 T00E 和 T20E SFR 可输出这些波形。

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	TXRXSEL	T2OE	T1OE	T0OE	P2MOD1		P2MOD0	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	1	0	1

- 93h.6 **T2OE:**Timer2 信号输出(T2O)使能
 0:禁止 Timer2 溢出除以 2 输出到 P1.0
 1:允许 Timer2 溢出除以 2 输出到 P1.0
- 93h.5 **T1OE:**Timer1 信号输出(T2O)使能
 0:禁止 Timer1 溢出除以 2 输出到 P3.5
 1:允许 Timer1 溢出除以 2 输出到 P3.5
- 93h.4 **T0OE:**Timer0 信号输出(T0O)控制
 0:禁止“Timer0 溢出除以 64”输出到 P3.4
 1:允许“Timer0 溢出除以 64”输出到 P3.4

8. UART

UART 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器,SBUF 是数据寄存器。数据被写入到 SBUF 用于传输,而 SBUF 被读取时,可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。除了标准的 8051 的全双工模式,该芯片还提供了一线模式。如果 UART1W 位被设置,发送和接收数据采用 P3.1 脚。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

87h.7 **SMOD:UART 双波特率控制位**
 0:禁止 UART 双波特率控制位
 1:允许 UART 双波特率控制位

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	TXRXSEL	T2OE	T1OE	T0OE	P2MOD1		P2MOD0	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
Reset	0	0	0	0	0	1	0	1

93h.7 **TXRXSEL: UART TXD/RXD pin select**
 0: P31 设置为 TXD, P30 设置为 RXD
 1: P16 设置为 TXD, P02 设置为 RXD

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.7 **UART1W: UART 一线 UART 模式使能,TXD/RXD 都使用 P3.1 或 P1.6 脚**
 0: UART 禁止一线 UART 模式
 1: UART 允许一线 UART 模式

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 98h.7~6 **SM0,SM1**: UART 串行端口模式选择位 0,1
 00:模式 0:8 位移位寄存器,波特率= $F_{SYSCLK}/2$
 01:模式 1:8 位 UART,波特率可变
 10:模式 2:9 位 UART,波特率= $F_{SYSCLK}/32$ 或/64
 11:模式 3:9 位 UART,波特率可变
- 98h.5 **SM2**:串行端口模式选择位 2
 SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3,当 SM2 设置,如果接收到的第九位数据为 0,那么接收中断不会产生。在模式 1 中,除非有效的停止位被接收,接收中断不会产生。在模式 0 中,SM2 应为 0。
- 98h.4 **REN**:UART 接收使能
 0:禁止接收
 1:允许接收
- 98h.3 **TB8**:发送位 8,在模式 2 和 3 为发送第九位
- 98h.2 **RB8**:接收位 8,包含模式 2 和 3 的接收第九位,如果 SM2 = 0,为模式 1 停止位
- 98h.1 **TI**:发送中断标志
 由 H/W 设置在模式 0 第 8 位的结束时,或在其他模式中停止位的开始时。必须通过 S/W 清零。
- 98h.0 **RI**:接收中断标志
 由 H/W 设置在模式 0 第 8 位的结束时,或在其他模式下停止位的取样点。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	-	-	-	-	-	-	-	-

99h.7~0 **SBUF**:UART 发送和接收数据。发送写入该位置数据和接收从该位置读取数据,但路径是独立的。

F_{SYSCLK} 表示系统时钟频率。

- 模式 0:
波特率= $F_{SYSCLK}/2$
- 模式 1,3:如果使用 Timer1 自动重载模式
波特率= $(SMOD+1) \times F_{SYSCLK}/(32 \times 2 \times (256 - TH1))$
- 模式 1,3:如果使用 Time2
波特率=Timer2 overflow rate/16= $F_{SYSCLK}/(32 \times (65536 - RCP2H,RCP2L))$
- 模式 2:
波特率= $(SMOD+1) \times F_{SYSCLK}/64$

注:另请参阅第 5 章的有关 UART 中断使能和优先级的更多信息。

注:同时参阅第 7 章有关 Timer2 如何控制 UART 时钟的详细信息。

9. PWMs

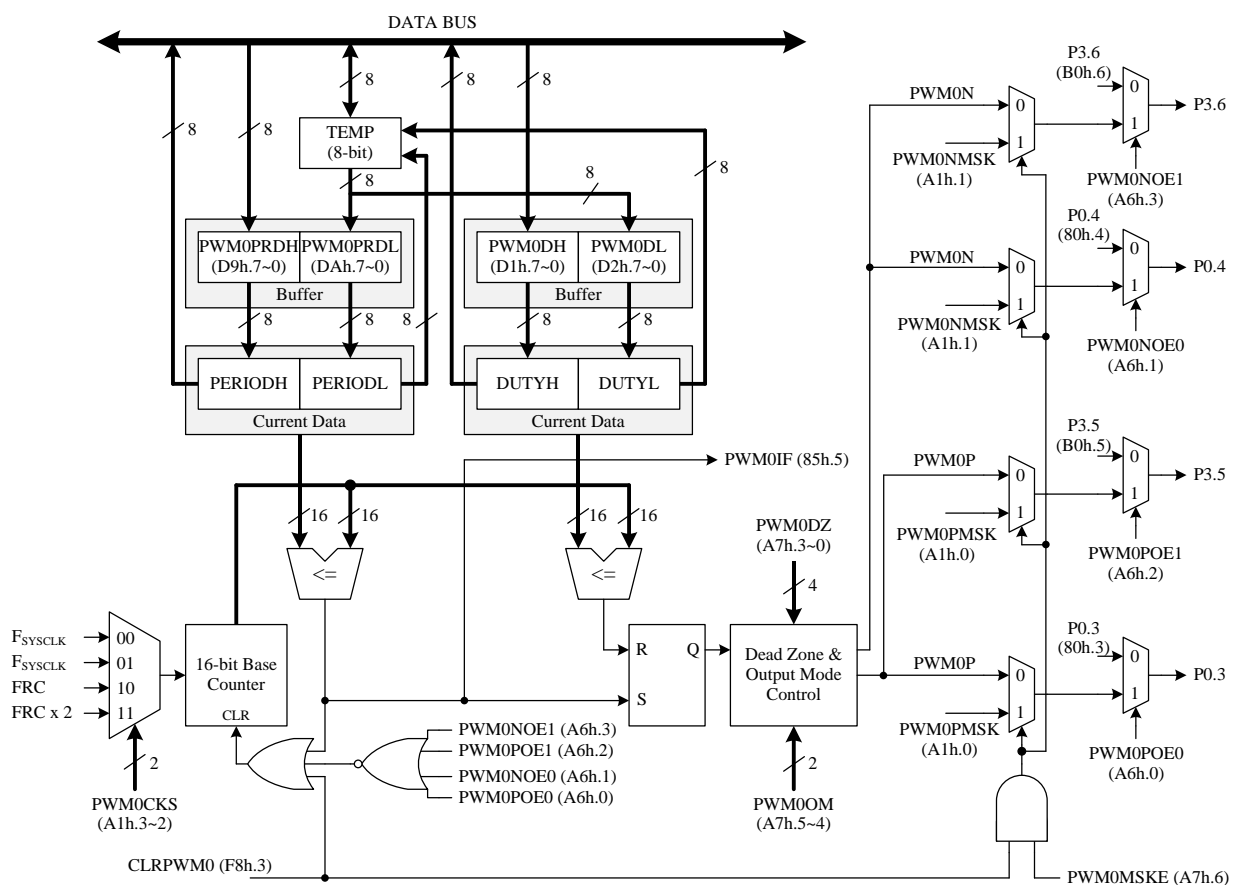
该芯片具有7个16位PWM模块，PWM0至PWM6。PWM可以根据PWM时钟产生65536占空比分辨率的变化频率波形。PWM时钟可以选择FRC双频（FRC x 2），FRC或F_{SYSCLK}作为其时钟源。用户需留意在设定上，PWM的period必须要大于duty。

引脚模式SFR控制PWM输出波形格式。Mode1使PWM开漏输出，Mode2使PWM CMOS推挽输出。

16位PWM0PRD，PWM1PRD和PWM0D~PWM6D寄存器都具有低字节和高字节结构。可以直接访问高字节，但只能通过内部8位缓冲区访问低字节，必须以特定方式读取或写入这些寄存器对。需要注意的重点是，只有在执行对相应高字节的写或读操作时，才会发生与8位缓冲区之间的数据传输及其相关的低字节。**简而言之对周期与占空比的读写方式为，先写低字节然后再写高字节；首先读取高字节然后读取低字节。**

PWM0

PWM0POE0 / PWM0POE1 用于选择PWM0P的输出，PWM0NOE0 / PWM0NOE1 用于选择PWM0N的输出。这四位也可以是PWM0控制位。如果这4位清零，PWM0将被清零并停止，否则PWM0正在运行。CLR PWM0 位具有相同的功能。当CLR PWM0 位置1时，PWM0将被清零并保持，否则PWM0正在运行。PWM0结构如下所示。



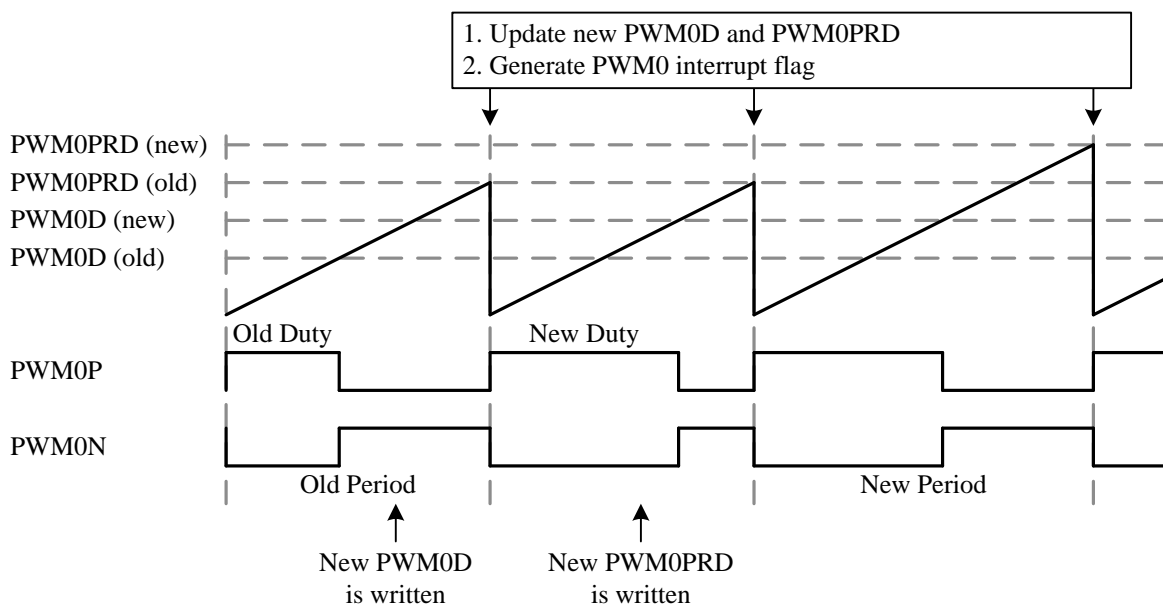
PWM0 结构

通过写入 PWM0DH 和 PWM0DL 可以改变 PWM0 占空比。只要 16 位基址计数器与 16 位 PWM0 占空比寄存器 {PWM0DH, PWM0DL} 匹配, PWM0 输出信号就会复位为低电平。可以通过将周期值写入 PWM0PRDH 和 PWM0PRDL 寄存器来设置 PWM0 周期。写入 PWM0D 或 PWM0PRD 寄存器后, 新值将立即保存到缓冲区。H/W 将在当前周期结束时或 PWM0 清零时更新这些值。在当前周期结束时, 如果使能了 PWM0 中断, H/W 会将 PWM0IF 位置 1 并产生中断。

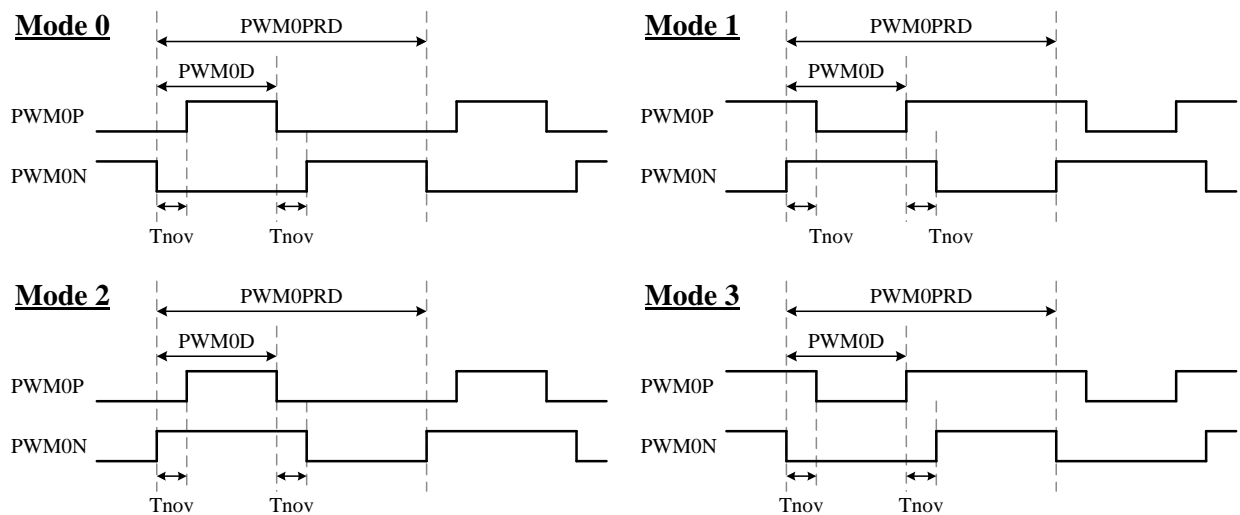
PWM0 有两种工作模式, 正常模式和半桥模式。PWM0 输出信号可通过 PWM0P 和 PWM0N 输出, 具有四种不同的模式。这两个输出与时间间隔 T_{nov} 不重叠。非重叠时间间隔也称为死区。通过设置 PWM0DZ 位确定 T_{nov} 。PWM0DZ 的 0~15 值分别映射到 0~15,16 个 PWM0CLK 周期。如果 PWM0DZ = 0, PWM0 输出直接传递到 PWM0P 和 PWM0N, 因此它们的波形具有相同的占空比。注意, 如果 PWM0 输出的高脉冲宽度或低脉冲宽度短于 T_{nov} , 则这两个输出的实际波形将与预期波形不同。如果 PWM0MSKE 位置 1, 则可以屏蔽输出以强制输出固定信号, 而 S/W 设置 CLRPWM0 位由 H/W 设置。

正常模式

正常模式 PWM 是一种简单的结构, 它以均匀的可重复间隔将其输出高和低切换。PWM0D 是输出占空比, 输出周期为 $PWM0PRD + 1$ 。占空比必须满足此式: $死区 \leq 占空比 \leq (周期 - 死区)$ 。PWM0 的输出波形如下所示。



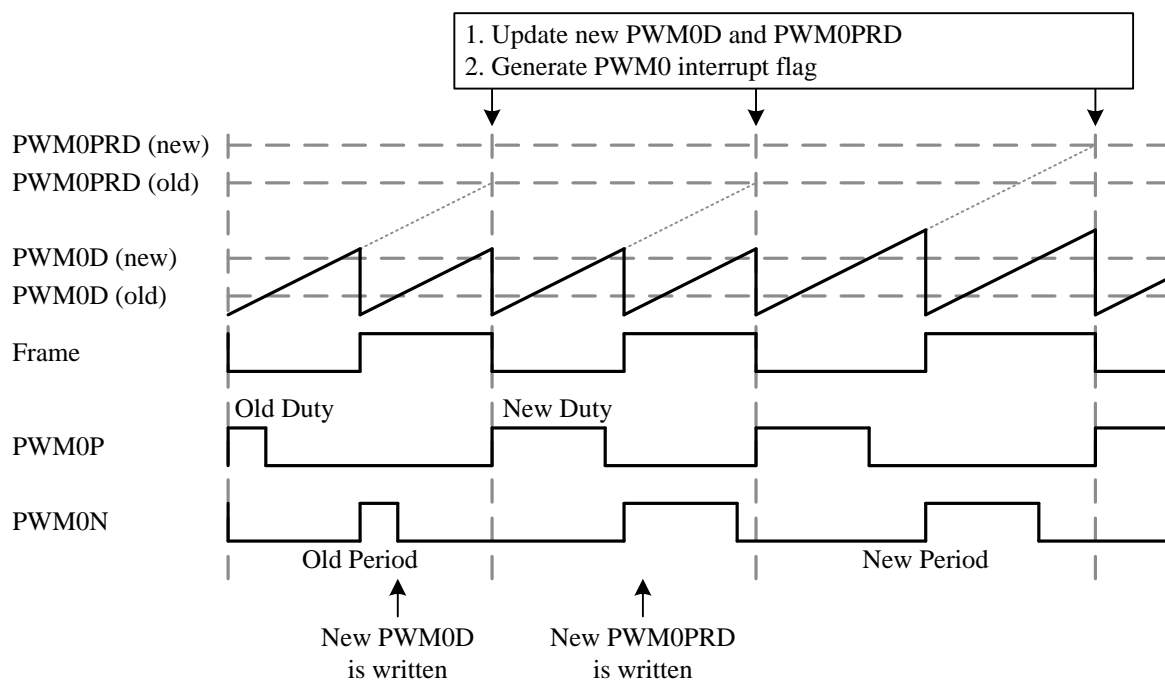
PWM0 正常模式输出波形 (PWM0OM=0, PWM0DZ=0)



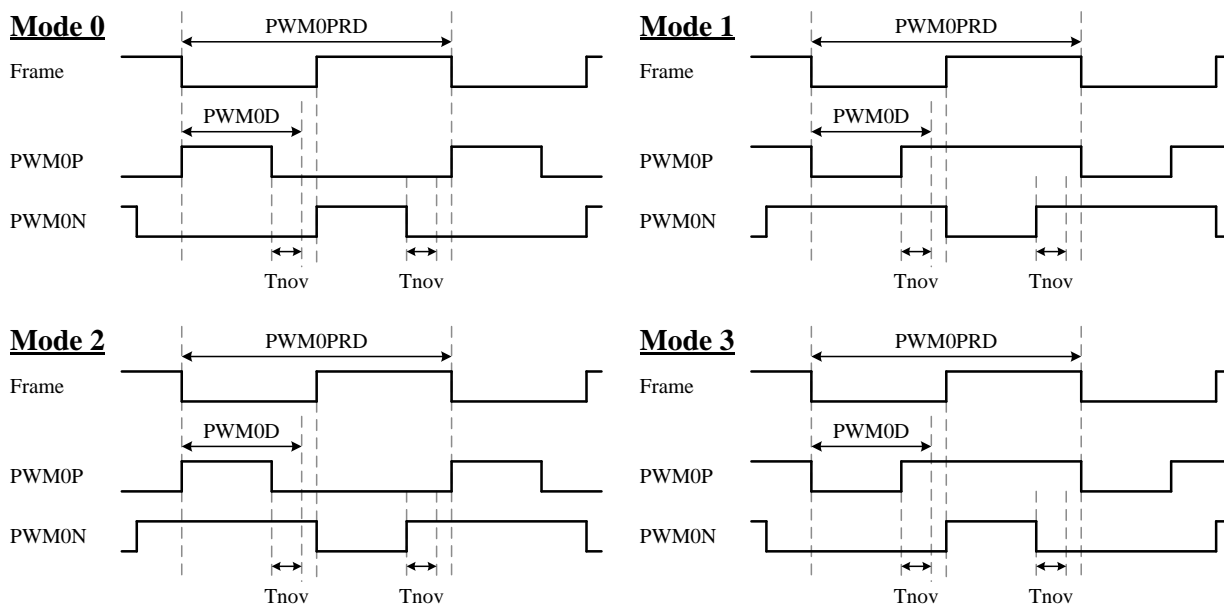
PWM0 正常模式输出模式

半桥模式

半桥模式 PWM 类似于正常模式,但是禁用死区 (SFR PWM0DZ 必需设置为 0)。它在一个周期内有两个帧, PWMOP 仅在第一帧输出, PWMON 仅在第二帧输出。这两个帧的宽度必须相同,因此它们的宽度是 $PWM0PRD / 2$ 的整数部分。由于每个输出通道仅在一帧中输出,因此最大占空比与帧的宽度相同。如果 PWM0D 大于 $PWM0PRD / 2$, H/W 将强制将占空比设置为 $PWM0PRD / 2$ 。下图显示了输出波形和输出模式。



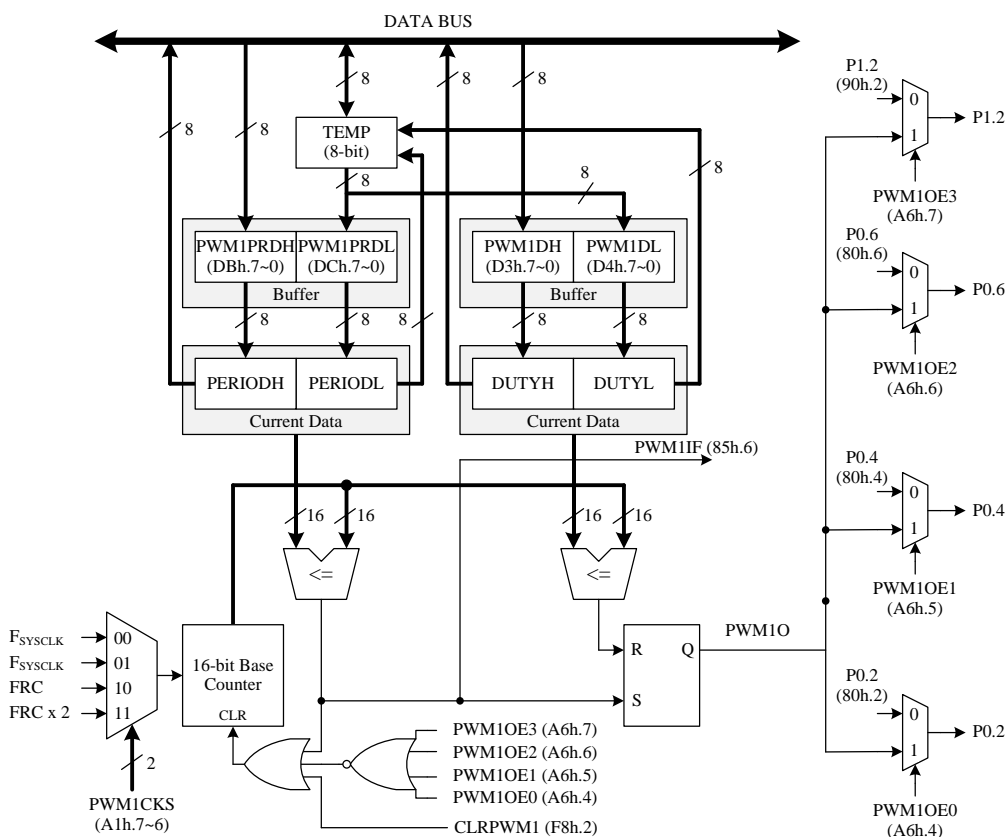
PWM0 半桥模式输出波形(PWM0OM=0, PWM0DZ=0)



PWM0 半桥模式输出模式

PWM1~PWM6

芯片有 6 个 16 位 PWM 模块 PWM1~PWM6。PWM1~6 共用中断 (PWM1IF)，时钟源和周期。以下以 PWM1 为例进行说明。PWM 可以根据 PWM 时钟产生 65536 占空比分辨率的变化频率波形。PWM 时钟可以选择双频 (FRC x 2)，FRC 或 FSYCLK 作为其时钟源。



PWM0 结构

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	–	PWM1IE	PWM0IE	–	–	–	–	–
R/W	–	R/W	R/W	–	–	–	–	–
Reset	–	0	0	–	–	–	–	–

84h.6 **PWM1IE:** PWM1~PWM6 中断使能

0: 禁止

1: 使能

84h.5 **PWM0IE:** PWM0 中断使能

0: 禁止

1: 使能

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG2	–	PWM1IF	PWM0IF	–	–	–	–	–
R/W	–	R/W	R/W	–	–	–	–	–
Reset	–	0	0	–	–	–	–	–

85h.6 **PWM1IF:** PWM1~PWM6 中断标志

在 PWM1~PWM6 周期结束时由 H/W 置 1, S/W 将 BFh 写入 INTFLG2 以清除该标志。

85h.5 **PWM0IF:** PWM0 中断标志

在 PWM0 周期结束时由 H/W 置 1, S/W 将 DFh 写入 INTFLG2 以清除该标志。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	–	LVDIE	I2CE	ADIE	EX2	PXIE	TM3IE
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

A9h.7 **PWMIE:** PWM0/PWM1~PWM6 中断使能

0: 禁用 PWM0/PWM1~PWM6 中断

1: 允许 PWM0/PWM1~PWM6 中断

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		–	–	PWM0CKS		PWM0NMSK	PWM0PMSK
R/W	R/W		–	–	R/W		R/W	R/W
Reset	0	0	–	–	0	0	0	0

A1h.7~6 **PWM1CKS:** PWM1~PWM6 时钟源

00: F_{SYSCLK}

01: F_{SYSCLK}

10: FRC

11: FRCx2 (V_{CC}>2.7V)

A1h.3~2 **PWM0CKS:** PWM0 时钟源

00: F_{SYSCLK}

01: F_{SYSCLK}

10: FRC

11: FRCx2 (V_{CC}>2.7V)

A1h.1 **PWM0NMSK:** 当 CLRPWM0 = 1 时, PWM0N 屏蔽数据

A1h.0 **PWM0PMSK:** 当 CLRPWM0 = 1 时, PWM0P 屏蔽数据

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0E0	PWM1OE3	PWM1OE2	PWM1OE1	PWM1OE0	PWM0NOE1	PWM0POE1	PWM0NOE0	PWM0POE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A6h.7 **PWM1OE3:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P1.2
- A6h.6 **PWM1OE2:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.6
- A6h.5 **PWM1OE1:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.4
- A6h.4 **PWM1OE0:** PWM1 信号输出使能
0: 禁止 1: PWM1 信号输出到 P0.2
- A6h.3 **PWM0NOE1:** PWM0N 信号输出使能
0: 禁止 1: PWM0N 信号输出到 P3.6
- A6h.2 **PWM0POE1:** PWM0P 信号输出使能
0: 禁止 1: PWM0P 信号输出到 P3.5
- A6h.1 **PWM0NOE0:** PWM0N 信号输出使能
0: 禁止 1: PWM0N 信号输出到 P0.4
- A6h.0 **PWM0POE0:** PWM0P 信号输出使能
0: 禁止 1: PWM0P 信号输出到 P0.3

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	PWM0MOD	PWM0MSKE	PWM0OM		PWM0DZ			
R/W	R/W	R/W	R/W		R/W			
Reset	0	0	0	0	0	0	0	0

- A7h.7 **PWM0MOD:** PWM0 模式选择
0: 正常模式
1: 半桥模式
- A7h.6 **PWM0MSKE:** 屏蔽输出使能
0: 禁用
1: 使能, 当 CLRPWM0 = 1 时, PWM0PMSK/PWM0NMSK 输出数据到 PWM0P/PWM0N
- A7h.5~4 **PWM0OM:** PWM0 输出模式选择
00: Mode0
01: Mode1
10: Mode2
11: Mode3
- A7h.3~0 **PWM0DZ:** PWM0 死区 (半桥模式时禁止使用死区)
0000: 0 x T_{PWMCLK}
0001: 1 x T_{PWMCLK}
...
1111: 15 x T_{PWMCLK}

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE1	PWM4OE3	PWM4OE2	PWM4OE1	PWM4OE0	PWM3OE1	PWM3OE0	PWM2OE1	PWM2OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B6h.7 **PWM4OE3:** PWM4 信号输出使能
0: 禁止 1: PWM4 信号输出到 P3.6
- B6h.6 **PWM4OE2:** PWM4 output control
0: 禁止 1: PWM4 信号输出到 P1.5
- B6h.5 **PWM4OE1:** PWM4 output control
0: 禁止 1: PWM4 信号输出到 P0.4
- B6h.4 **PWM4OE0:** PWM4 output control
0: 禁止 1: PWM4 信号输出到 P0.0
- B6h.3 **PWM3OE1:** PWM3 output control
0: 禁止 1: PWM3 信号输出到 P3.4
- B6h.2 **PWM3OE0:** PWM3 output control
0: 禁止 1: PWM3 信号输出到 P1.0
- B6h.1 **PWM2OE1:** PWM2 output control
0: 禁止 1: PWM2 信号输出到 P3.6
- B6h.0 **PWM2OE0:** PWM2 output control
0: 禁止 1: PWM2 信号输出到 P1.1

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE2	MSDASEL	MSCLSEL	PWM6OE2	PWM6OE1	PWM6OE0	PWM5OE2	PWM5OE1	PWM5OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- B7h.5 **PWM6OE2:** PWM6 信号输出使能
0: 禁止 1: PWM6 信号输出到 P1.3
- B7h.4 **PWM6OE1:** PWM6 output control
0: 禁止 1: PWM6 信号输出到 P0.7
- B7h.3 **PWM6OE0:** PWM6 output control
0: 禁止 1: PWM6 信号输出到 P0.3
- B7h.2 **PWM5OE2:** PWM5 output control
0: 禁止 1: PWM5 信号输出到 P1.4
- B7h.1 **PWM5OE1:** PWM5 output control
0: 禁止 1: PWM5 信号输出到 P0.6
- B7h.0 **PWM5OE0:** PWM5 output control
0: 禁止 1: PWM5 信号输出到 P0.1

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

- D1h.7~0 **PWM0DH:** PWM0 占空比高字节
写入顺序: 先写 PWMxDL 再写 PWMxDH
读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**: 占空比低字节

写入顺序: 先写 PWMxDL 再写 PWMxDH

读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **PWM1DH**: PWM1 占空比高字节

写入顺序: 先写 PWMxDL 再写 PWMxDH

读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DL	PWM1DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM1DL**: PWM1 占空比低字节

写入顺序: 先写 PWMxDL 再写 PWMxDH

读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR D5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DH	PWM2DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D5h.7~0 **PWM2DH**: PWM2 占空比高字节

写入顺序: 先写 PWMxDL 再写 PWMxDH

读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DL	PWM2DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D6h.7~0 **PWM2DL**: PWM2 占空比低字节

写入顺序: 先写 PWMxDL 再写 PWMxDH

读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**: PWM0 周期高字节

写入顺序: 先写 PWMxPRDL 再写 PWMxPRDH

读取顺序: 先读 PWMxPRDH 再读 PWMxPRDL

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**: PWM0 周期低字节
 写入顺序: 先写 PWMxPRDL 再写 PWMxPRDH
 读取顺序: 先读 PWMxPRDH 再读 PWMxPRDL

SFR DBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDH	PWM1PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DBh.7~0 **PWM1PRDH**: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 周期高字节
 写入顺序: 先写 PWMxPRDL 再写 PWMxPRDH
 读取顺序: 先读 PWMxPRDH 再读 PWMxPRDL

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDL	PWM1PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRDL**: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 周期低字节
 写入顺序: 先写 PWMxPRDL 再写 PWMxPRDH
 读取顺序: 先读 PWMxPRDH 再读 PWMxPRDL

SFR DDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DH	PWM3DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DDh.7~0 **PWM3DH**: PWM3 占空比高字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR DEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3DL	PWM3DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DEh.7~0 **PWM3DL**: PWM3 占空比低字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR E9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM4DH	PWM4DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

E9h.7~0 **PWM4DH**: PWM4 占空比高字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM4DL	PWM4DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EAh.7~0 **PWM4DL**: PWM4 占空比低字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR EBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM5DH	PWM5DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EBh.7~0 **PWM5DH**: PWM5 占空比高字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR ECh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM5DL	PWM5DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

ECh.7~0 **PWM5DL**: PWM5 占空比低字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR EDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM6DH	PWM6DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EDh.7~0 **PWM6DH**: PWM6 占空比高字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR EEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM6DL	PWM6DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EEh.7~0 **PWM6DL**: PWM6 占空比低字节
 写入顺序: 先写 PWMxDL 再写 PWMxDH
 读取顺序: 先读 PWMxDH 再读 PWMxDL

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	VBGEN	ADSOC	CLRPWM0	CLRPWM1	-	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W
Reset	0	0	0	0	1	1	-	0

F8h.3 **CLRPWM0**: PWM0 清除
 0: PWM0 正在运行
 1: PWM0 被清零并保持

F8h.2 **CLRPWM1**: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 清除
 0: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 正在运行
 1: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 被清零并保持

10. 低压检测 (LVD)

芯片另提供低压检测 (LVD) 功能，SFR LVDSEL 可以选择15阶不同电压门槛值的LVD。

操作模式	PWRSV (SFR F7.5)	LVDSEL (SFR E4h.3~0)	LVD	功能	注释
X	X	0000	OFF		
Fast/Slow	X	0001	ON	LVD 2.40V	
		0010	ON	LVD 2.55V	
		0011	ON	LVD 2.65V	
		0100	ON	LVD 2.80V	
		0101	ON	LVD 2.95V	
		0110	ON	LVD 3.10V	
		0111	ON	LVD 3.25V	
		1000	ON	LVD 3.40V	
		1001	ON	LVD 3.55V	
		1010	ON	LVD 3.70V	
		1011	ON	LVD 3.85V	
		1100	ON	LVD 4.00V	
		1101	ON	LVD 4.15V	
		1110	ON	LVD 4.30V	
		1111	ON	LVD 4.45V	
Idle/Halt/Stop	0	0001	ON	LVD 2.40V	
		0010	ON	LVD 2.55V	
		0011	ON	LVD 2.65V	
		0100	ON	LVD 2.80V	
		0101	ON	LVD 2.95V	
		0110	ON	LVD 3.10V	
		0111	ON	LVD 3.25V	
		1000	ON	LVD 3.40V	
		1001	ON	LVD 3.55V	
		1010	ON	LVD 3.70V	
		1011	ON	LVD 3.85V	
		1100	ON	LVD 4.00V	
		1101	ON	LVD 4.15V	
		1110	ON	LVD 4.30V	
		1111	ON	LVD 4.45V	
Idle/Halt/Stop	1	xxxx	OFF	LVD disable	最小电流消耗 约 0.1uA

LVD 表

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	–	–	–	LVDIF	LVDSEL			
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
Reset	–	–	–	–	0	0	0	0

E4h.4 LVDIF: LVD 中断标志, 写 0 清除该位

E4h.3~0 LVDSEL: 低压检测选择

0000: LVD 禁用

0001: 将 LVD 设置为 2.40V

0010: 将 LVD 设置为 2.55V

0011: 将 LVD 设置为 2.65V

0100: 将 LVD 设置为 2.80V

0101: 将 LVD 设置为 2.95V

0110: 将 LVD 设置为 3.10V

0111: 将 LVD 设置为 3.25V

1000: 将 LVD 设置为 3.40V

1001: 将 LVD 设置为 3.55V

1010: 将 LVD 设置为 3.70V

1011: 将 LVD 设置为 3.85V

1100: 将 LVD 设置为 3.00V

1101: 将 LVD 设置为 4.15V

1110: 将 LVD 设置为 4.30V

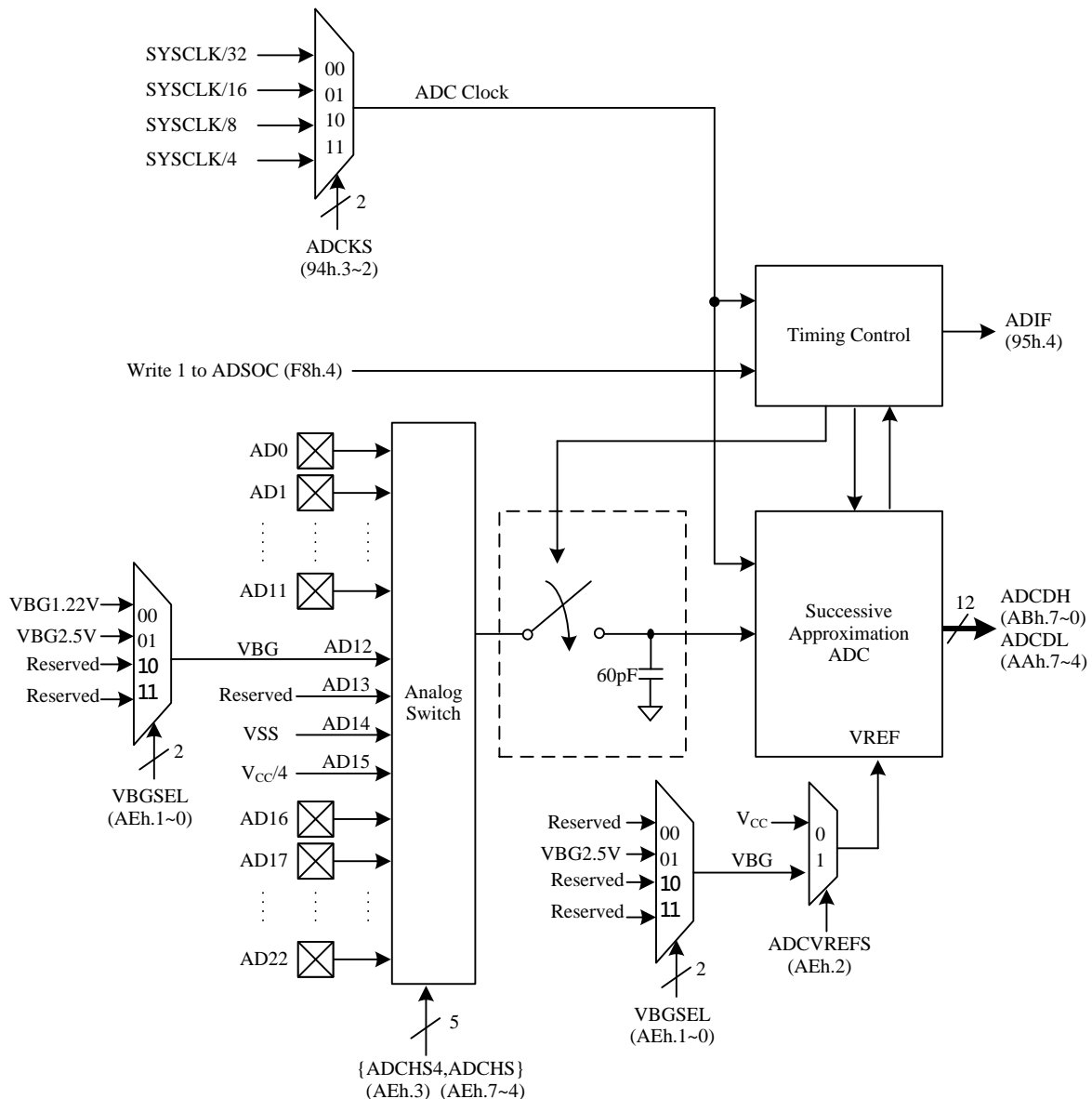
1111: 将 LVD 设置为 4.45V

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSABV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	1	1	0

F7h.5 PWRSABV: 设置 1 可减少空闲和停止模式下的芯片功耗

11. ADC

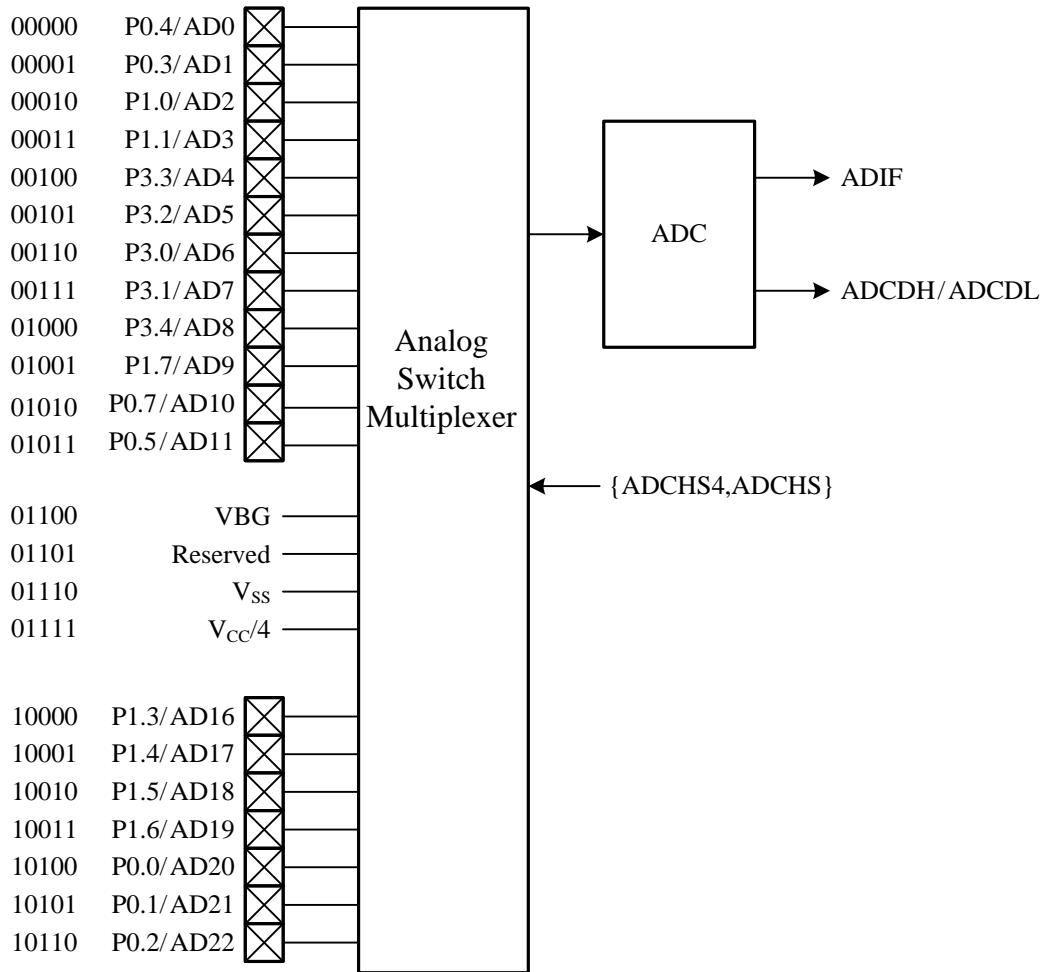
该芯片提供12位ADC，包括19通道类比输入多路复用器，控制寄存器，时钟发生器，12位逐次逼近寄存器和输出数据寄存器。要使用ADC，首先选择合适ADCKS的ADC时钟频率，该频率必须小于1 MHz。然后，通过设置ADSOC位启动ADC转换，H/W将在转换结束时自动清除它。转换结束后，如果使能了ADC中断，H/W会将ADIF位置1并产生中断。通过将0写入该位或将1写入ADSOC位可以清零ADIF位。类比输入电平必须保持在VSS至VCC的范围内。使用ADCVREFS选项，ADC内部参考电压源（VREF）可以选择为Vcc或是VBG 2.5V，当ADCVREFS=1时，VBGSEL必须设定为2'b01。



ADC 通道

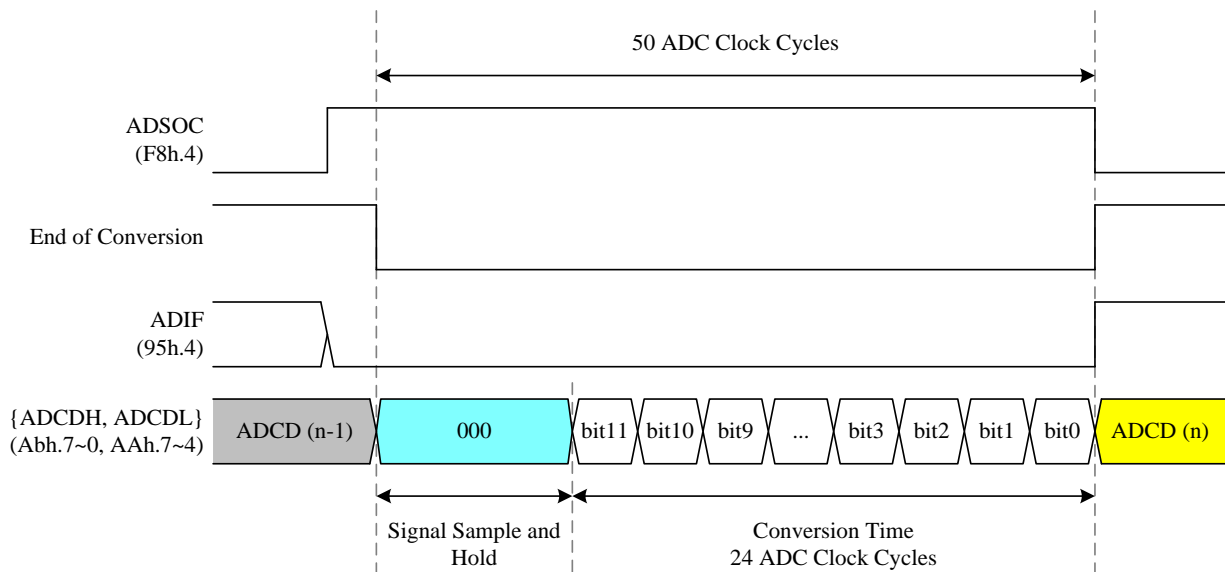
ADC 通道通过类比开关多路复用器连接到类比输入引脚。 类比开关多路复用器由 ADCHS4 与 ADCHS 寄存器控制。 该芯片提供多达 19 个 IO 输入引脚, 指定为 AD0~AD11,AD16~AD22。 此外, 还有 3 个内部参考电压(VBG, VSS, 4/VCC)。 当 ADCHS 设置为 1110b 时, 模拟输入将连接到 VSS, 当 ADCHS 设置为 1100b 时, 模拟输入将连接到 VBG。

5-bit ADC channel=
{ADCHS4,ADCHS}



ADC 转换时间

转换时间是ADC转换电压所需要的时间。该ADC转换每个位需要两个ADC时钟周期,以及多个时钟周期进行输入电压采样和保持。一共需要50个ADC时钟周期以执行完全转化。当转换时间结束,ADIF中断标志由H/W设置,12位A/D转换结果被加载到ADCDH和ADCDL寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDTOSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.3~2 **ADCKS**:ADC 时钟频率选择

- 00:FSYSCLK /32
- 01:FSYSCLK /16
- 10:FSYSCLK /8
- 11:FSYSCLK /4

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	-	-	-	ADIF	-	IE2	PXIF	TF3
R/W	-	-	-	R/W	-	R/W	R/W	R/W
Reset	-	-	-	0	-	0	0	0

95h.4 **ADIF**:ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDL	ADCDL				-			
R/W	R				-			
Reset	-	-	-	-	-	-	-	-

AAh.7~4 **ADCDL**:ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	-	-	-	-	-	-	-	-

ABh.7~0 **ADCDH**:ADC 数据位 11~4

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHSEL	ADCHS				ADCHS4	ADCVREFS	VBGSEL	
R/W	R/W				R/W	R/W	R/W	R/W
Reset	1	1	1	1	0	0	0	0

- A Eh.7~4 **ADCHS**: 5-bit ADC 通道选择 = {ADCHS4, ADCHS}
- | | |
|--------------------|--------------------|
| 00000: ADC0 (P04) | 01100: VBGO |
| 00001: ADC1 (P03) | 01101: Reserved |
| 00010: ADC2 (P10) | 01110: VSS |
| 00011: ADC3 (P11) | 01111: 1/4VCC |
| 00100: ADC4 (P33) | 10000: ADC16 (P13) |
| 00101: ADC5 (P32) | 10001: ADC17 (P14) |
| 00110: ADC6 (P30) | 10010: ADC18 (P15) |
| 00111: ADC7 (P31) | 10011: ADC19 (P16) |
| 01000: ADC8 (P34) | 10100: ADC20 (P00) |
| 01001: ADC9 (P17) | 10101: ADC21 (P01) |
| 01010: ADC10 (P07) | 10110: ADC22 (P02) |
| 01011: ADC11 (P05) | 10111: Reserved |
- A Eh. 3 **ADCHS4**: 5-bit ADC 通道选择 = {ADCHS4, ADCHS}
- A Eh. 2 **ADCVREFS**: ADC 参考电压选择
- 0: V_{CC}
 - 1: VBG(内部 Bandgap)
- A Eh.1~0 **VBGSEL**: VBG(内部 Bandgap)电压选择
- *当 ADCVREF 被选为 VBG 时, VBGSEL 禁止使用 1.22V.
- 00:1.22V
 - 01: 2.5V (需 VCC>2.8V)
 - 10: Reserved
 - 11: Reserved

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	VBGEN	ADSOC	CLRPWM0	CLRPWM1	-	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W
Reset	0	0	0	0	1	1	-	0

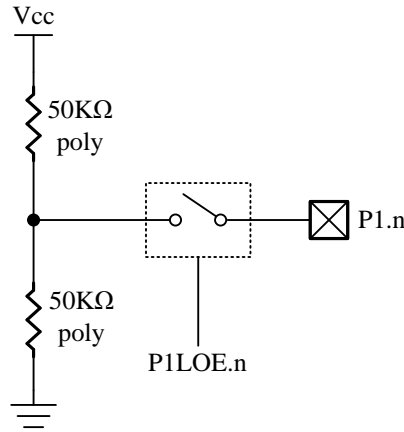
- F8h.5 **VBGEN**: 强制 VBG 生成器启用
- 0: VBG 生成器自动启用和禁用
 - 1: 除了空闲和停止模式外, 强制 VBG 生成器启用
- F8h.4 **ADSOC**:启动 ADC 转换
- 设置 ADSOC 位启动 ADC 转换,ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

注:另请参阅第 5 章的有关 ADC 中断使能和优先级的更多信息。

注:同时参阅第 6 章有关 ADC 引脚输入设置的详细信息。

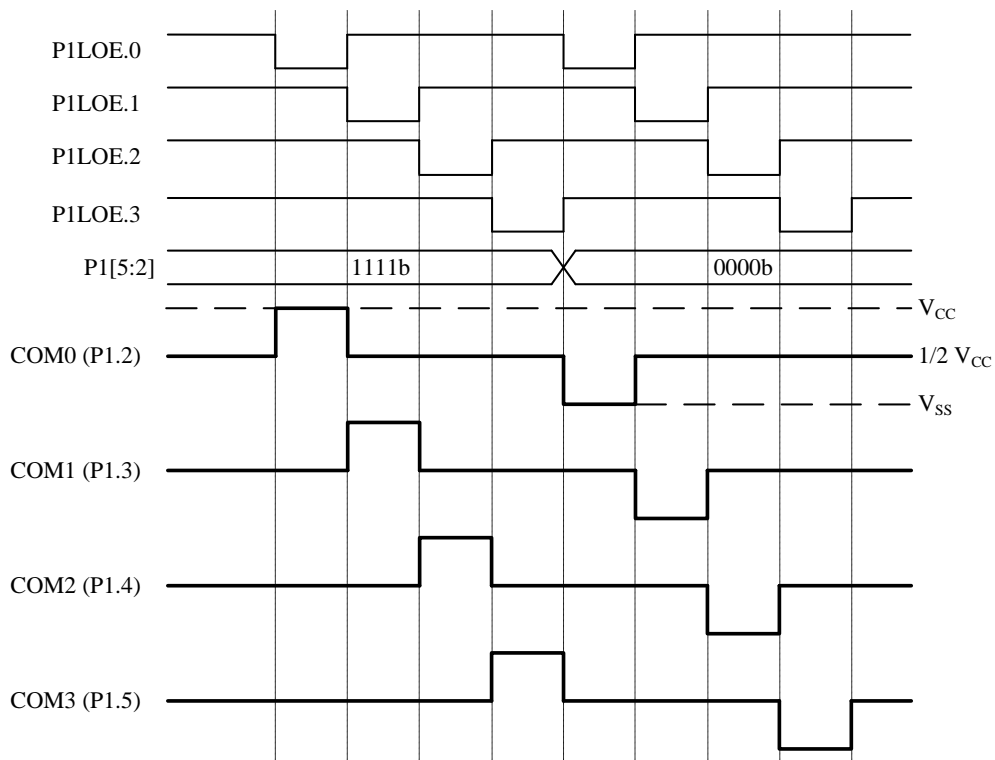
12. S/W 控制的 LCD 驱动器

该芯片支持S / W控制方式来驱动LCD。它能够以4点(最大)4个Commons(COM)和22个段(SEG)驱动LCD面板。 P1.2~P1.5用于公共引脚COM0~COM3, 其他引脚用于段引脚。 当P1.2~P1.5的 P1LOE = 1时, COM0~COM3能够驱动1/2偏置。 请参阅下图。



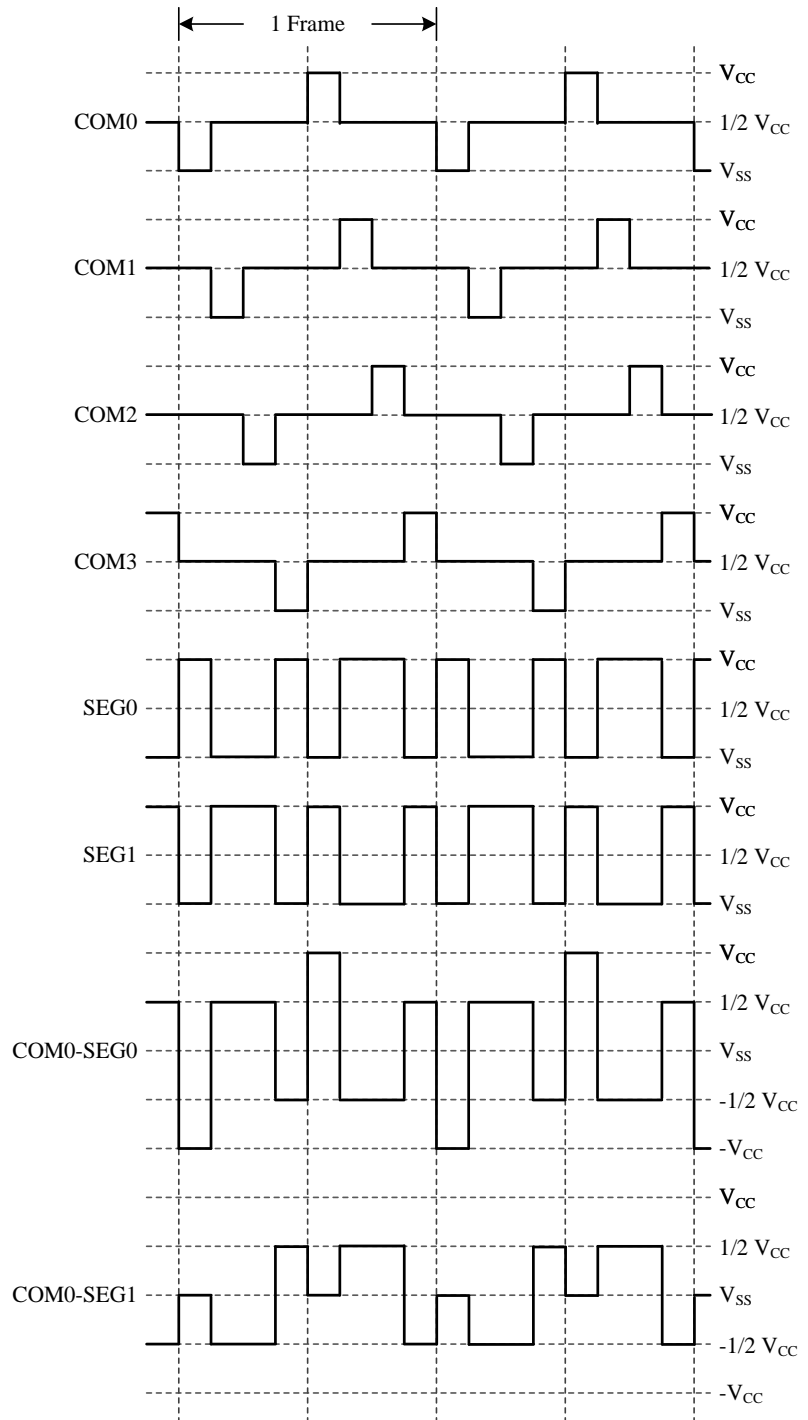
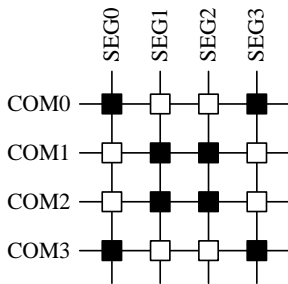
LCD COM0~3 偏压电路

任何COM引脚上的重复波形输出的频率可以用来表示LCD的帧速率。下图显示了一个LCD帧。



S/W 控制的 LCD COM0~3 扫描

1/4占空比,1/2偏压输出波形

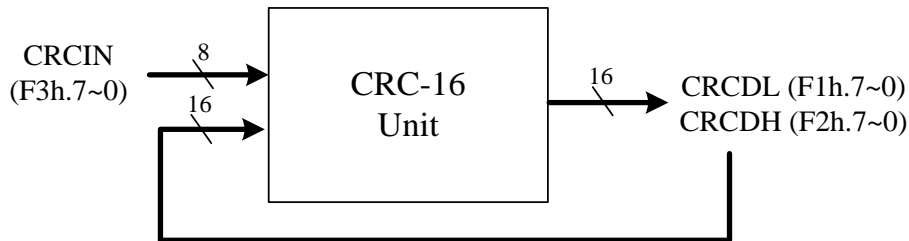


SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1LOE	–	–	–	–	P1LOE3	P1LOE2	P1LOE1	P1LOE0
R/W	–	–	–	–	R/W	R/W	R/W	R/W
Reset	–	–	–	–	0	0	0	0

- 92h.3 **P1LOE3:** LCD 1/2 偏压输出
 0: 关闭
 1: P15 设置为 LCD 1/2 bias Output
- 92h.2 **P1LOE2:** LCD 1/2 偏压输出
 0: 关闭
 1: P14 设置为 LCD 1/2 偏压输出
- 92h.1 **P1LOE1:** LCD 1/2 偏压输出
 0: 关闭
 1: P13 设置为 LCD 1/2 偏压输出
- 92h.0 **P1LOE0:** LCD 1/2 偏压输出
 0: 关闭
 1: P12 设置为 LCD 1/2 偏压输出

13. 循环冗余校验码(CRC)

此芯片支持16位的循环冗余校验功能。循环冗余校验（CRC）计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC计算采用8位数据流或数据块作为输入，并产生16位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC生成器提供了基于CRC-16-IBM多项式的16位CRC结果计算。在这个CRC生成器中，只有一个多项式(如下)可用于数值计算，它不支持其他任何多项式的16位CRC计算。对CRCIN寄存器的每次写入操作，将被创建存储在CRCDH和CRCDL寄存器中的前一个CRC值的组合中，这将需要一个MCU指令周期来计算。

IBM的CRC-16多项式表示（Modbus）： $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 **CRCDL**: 16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 **CRCDL**: 16 位 CRC 校验和数据位 15~8

SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	-	-	-	-	-	-	-	-

F3h.7~0 **CRCIN**: CRC 输入数据寄存器

14. 乘除法器

芯片提供乘法器和除法器具有以下功能。 8 位操作与标准 8051 完全兼容。

- 8 位 × 8 位 = 16 位 (标准 8051)
- 8 位 ÷ 8 位 = 8 位, 8 位余数 (标准 8051)
- 16 位 × 16 位 = 32 位
- 16 位 ÷ 16 位 = 16 位, 16 位余数
- 32 位 ÷ 16 位 = 32 位, 16 位余数

无论 8 位/ 16 位/ 32 位操作, 都可以通过 MUL AB 和 DIV AB 指令轻松执行。 有额外的 SFR EXA / EXA2 / EXA3 / EXB 用于 16 位/ 32 位乘法和除法运算。

对于 8 位乘法器/除法器操作, 请确保 SFR 位 $muldiv16 = 0$ 且 $div32 = 0$ 。

对于 16 位乘法器运算, 被乘数, 乘数和乘积如下。 16 位乘法器需要 16 个系统时钟周期才能执行。

条件	SFR位 $muldiv16 = 1$ 且 $div32 = 0$			
乘法	字节3	字节2	字节1	字节0
被乘数	-	-	EXA	A
乘数	-	-	EXB	B
积	EXB	B	A	EXA
OV	积 (EXB or B) !=0			

对于 16 位除法运算, 被除数, 除数, 商, 余数读取如下。 16 位除法器需要 16 个系统时钟周期才能执行。

条件	SFR位 $muldiv16=1$ 且 $div32=0$			
除法	字节3	字节2	字节1	字节0
被除数	-	-	EXA	A
除数	-	-	EXB	B
商	-	-	A	EXA
余数	-	-	B	EXB
OV	除数 EXB = B =0			

对于 32 位 ÷ 16 位除法运算, 被除数, 除数, 商, 余数读取如下。 32 位除法器需要 32 个系统时钟周期才能执行。

条件	SFR位 $muldiv16=1$ 且 $div32=1$			
除法	字节3	字节2	字节1	字节0
被除数	EXA3	EXA2	EXA	A
除数	-	-	EXB	B
商	A	EXA	EXA2	EXA3
余数	-	-	B	EXB
OV	除数 EXB=B=0			

SFR CEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA2	EXA2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CEh.7~0 **EXA2**: 扩充累加器 2

SFR CFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA3	EXA3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CFh.7~0 **EXA3**: 扩充累加器 3

SFR E6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA	EXA							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E6h.7~0 **EXA**: 扩充累加器

SFR E7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXB	EXB							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E7h.7~0 **EXB**: 扩充 B 寄存器

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	0	0	0	0

F7h.3 **DIV32**:

仅在 MULDIV16 = 1 时有效

0: 指令 DIV 为 16/16 位除法运算

1: 指令 DIV 为 32/16 位除法运算

F7h.0 **MULDIV16**:

0: 指令 MUL / DIV 为 8 位操作

1: 指令 MUL / DIV 为 16 * 16, 16 / 16 或 32/16 操作

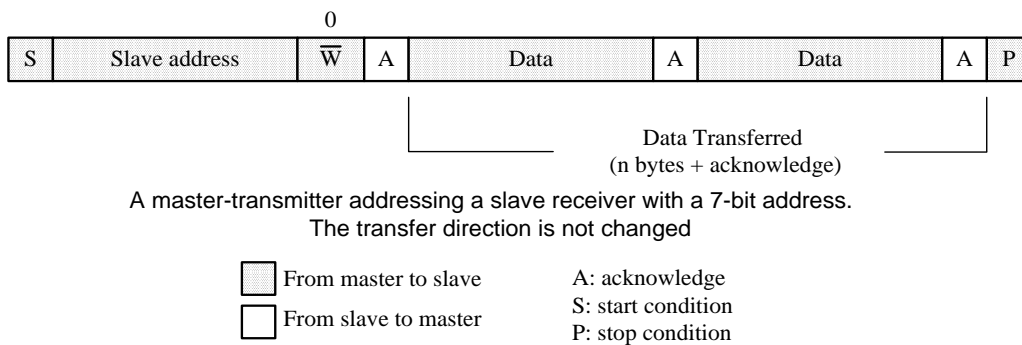
ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84

15. 主 I²C 接口

Master I²C 接口发送器模式:

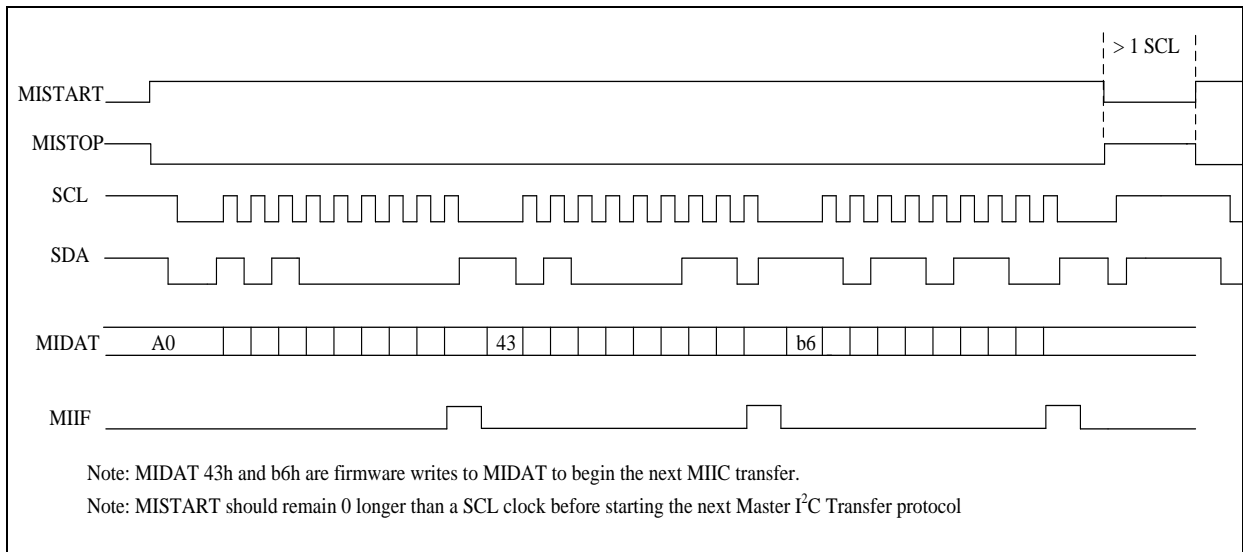
一开始先时将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后，将发送 7 位从地址和一位方向位到从机。等待直到 MIIF 转换为 1 时，代表地址和方向位传输完成，用户应清除 MIIF 并写入数据到 MIDAT 以开始第一次数据传输。当 MIIF 转换为 1 时，代表数据传输到从机完成。用户可以再次写入数据到 MIDAT 以将开始下一次数据传输到从机。设置 MISTOP 以完成传送模式。

在数据传输时，MISTART 必须保持为 1。并在最终数据发送/接收之后，设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前，MISTART 应保持为 0，且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



Master I²C 发送流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换器为 1 (根据用户的要求发出中断),并清除 MIIF
- (4) 将数据写入 MIDAT 以开始数据传输 (MISTART 必须保持为 1)
- (5) 等到 MIIF 转换器为 1 (根据用户的要求发出中断),并清除 MIIF, 重复(4)~(5) 以传送下一笔
- (6) 清除 MISTART,设置 MISTOP 以停止 I²C 传输



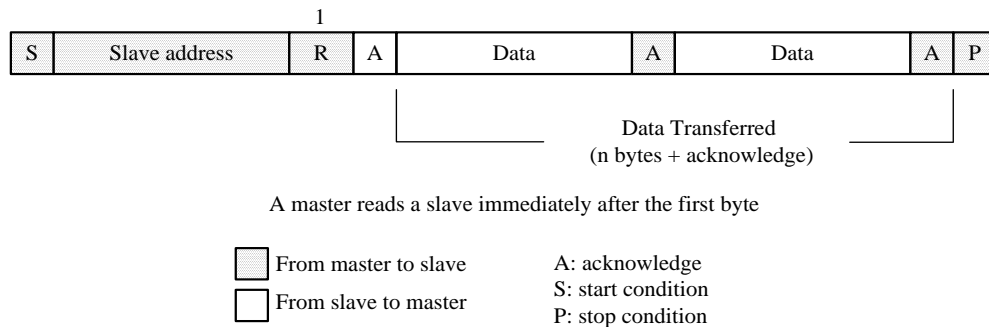
主发送时序

注: 在重新启动主 I²C 传送接收协议之前, MISTART 应保持为 0, 且等待时间大于一个 SCL 时钟周期后才可进行下一次传送接收。

Master I²C 接口接收模式:

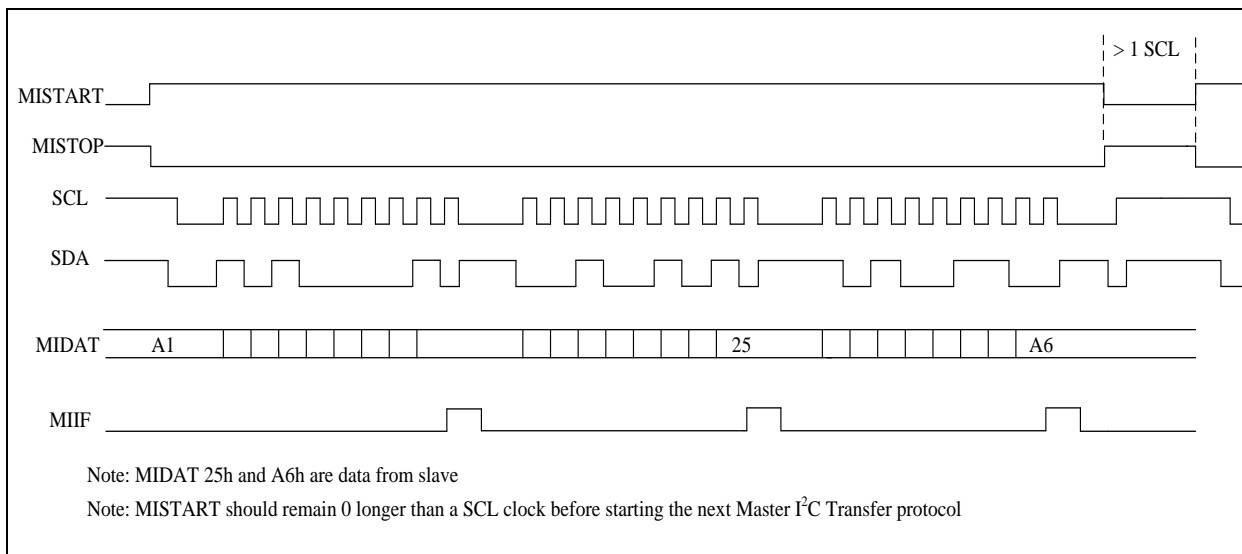
一开始先将从机地址和方向位写入MIDAT并设置MISTART。在MISTART设置之后，将发送7位从机地址和一位方向位到从机。当MIIF转换为1时，代表地址和方向位传输完成。用户应清除MIIF并读取MIDAT以开始第一次接收数据（此时尚未完成接收数据,应丢弃读入的MIDAT）。当MIIF转换为1时，代表对从机接收的数据已完成。用户可以读取MIDAT以得到接收数据，硬件会同时开始下一次接收。设置MISTOP以完成接收模式。

在数据传输时，MISTART 必须保持为 1。并在最终数据发送/接收之后，设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前，MISTART 应保持为 0，且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



主 I²C 接收流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换器为 1（根据用户的要求发出中断）,并清除 MIIF
- (4) 读取 MIDAT 以开始第一次接收数据（此时尚未完成接收数据,应丢弃读入的 MIDAT）,等待直到 MIIF 转换器为 1, 并清除 MIIF
- (5) 读取 MIDAT 以得到接收数据，硬件会同时开始下一次接收，重复(5), 以接收下一笔
- (6) 清除 MISTART,设置 MISTOP 以停止 I²C 传输



主接收时序

注: 在重新启动主 I²C 传送接收协议之前, MISTART 应保持为 0, 且等待时间大于一个 SCL 时钟周期后才可进行下一次传送接收。

Alternative Function	Mode	P1/P3 SFR data	Pin State	Other necessary SFR setting
SCL (I ² C Master)	0	X	I ² C 时钟输出(开漏输出, 上拉)	MSCLSEL
	2	X	I ² C 时钟输出(CMOS 推挽输出)	
SDA (I ² C Master)	0	1	I ² C 数据 (上拉)	MSDASEL

Alternative Function	P0OE.n	P0 SFR data	Pin State	other necessary SFR setting
SCL (I ² C Master)	0	X	I ² C 时钟输出 (开漏输出, 上拉)	MSCLSEL
	1	X	I ² C 时钟输出(CMOS 推挽输出)	

 主 I²C 引脚模式设置

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	–	LVDIE	I2CE	ADIE	EX2	PXIE	TM3IE
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

A9h.6 **I2CE: I²C 中断启用**
 0: 禁用 1: 使能

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOE2	MSDASEL	MSCLSEL	PWM6OE2	PWM6OE1	PWM6OE0	PWM5OE2	PWM5OE1	PWM5OE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B7h.7 **MSDASEL: I²C SDA 引脚选择**
 0: P3.5 设置为 I²C SDA
 1: P1.6 设置为 I²C SDA

B7h.6 **MSCLSEL: I²C SCL 引脚选择**
 0: P1.3 设置为 I²C SCL
 1: P0.2 设置为 I²C SCL

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

E1h.7 **MIEN: 主 I²C 使能**
 0: 禁用 1: 使能

E1h.6 **MIACKO: 当主 I²C 接收数据时, 发送 ack**
 0: ACK 到从机 1: NACK 到从机

E1h.5 **MIIF: 主 I²C 中断标志**
 0: 写 0 清除 1: 主 I²C 传输完成一个字节

E1h.4 **MIACKI: 当主 I²C 传输时, 读回 ack (只读)**
 0: ACK 收到 1: NACK 收到

E1h.3 **MISTART: 主 I²C 启动位**
 1: 启动 I²C 总线传输

E1h.2 **MISTOP: 主 I²C 停止位**
 1: 发送 STOP 信号以停止 I²C 总线

E1h.1~0 **MICR: 主 I²C (SCL) 时钟频率选择**
 00: F_{sys} / 4 (例如, 如果 F_{sys} = 16MHz, I²C 时钟为 4M Hz)
 01: F_{sys} / 16 (例如, 如果 F_{sys} = 16MHz, I²C 时钟为 1M Hz)
 10: F_{sys} / 64 (例如, 如果 F_{sys} = 16MHz, I²C 时钟为 250K Hz)
 11: F_{sys} / 256 (例如, 如果 F_{sys} = 16MHz, I²C 时钟为 62.5K Hz)

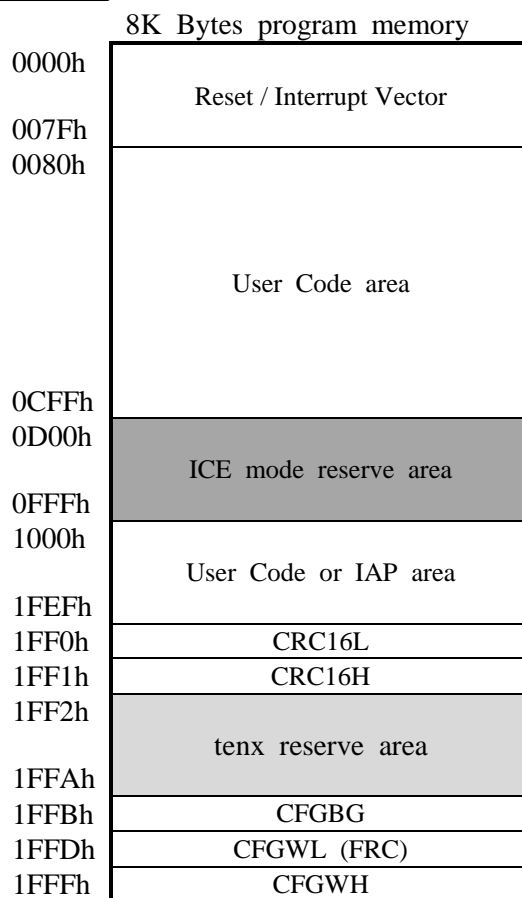
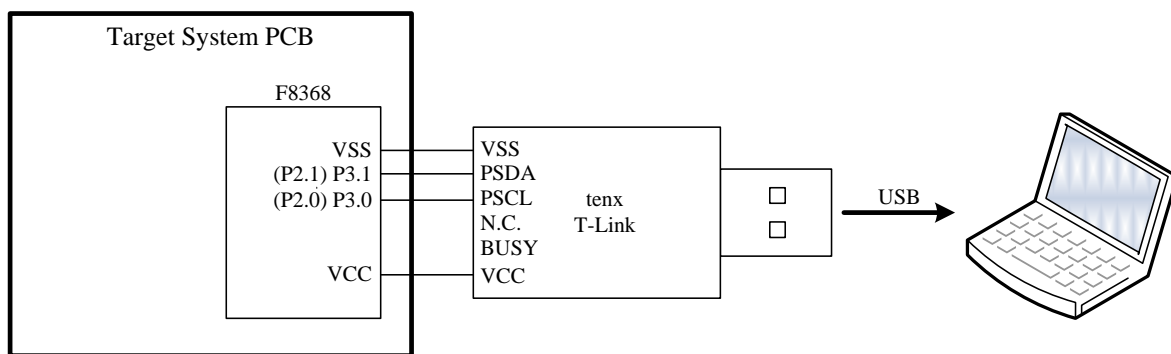
SFR E2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MIDAT	MIDAT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E2h.7~0 **MIDAT: 主 I²C 数据移位寄存器**
 (W): 写入该寄存器将传输数据到 I²C 总线
 (R): 读取该寄存器将接收 I²C 总线数据

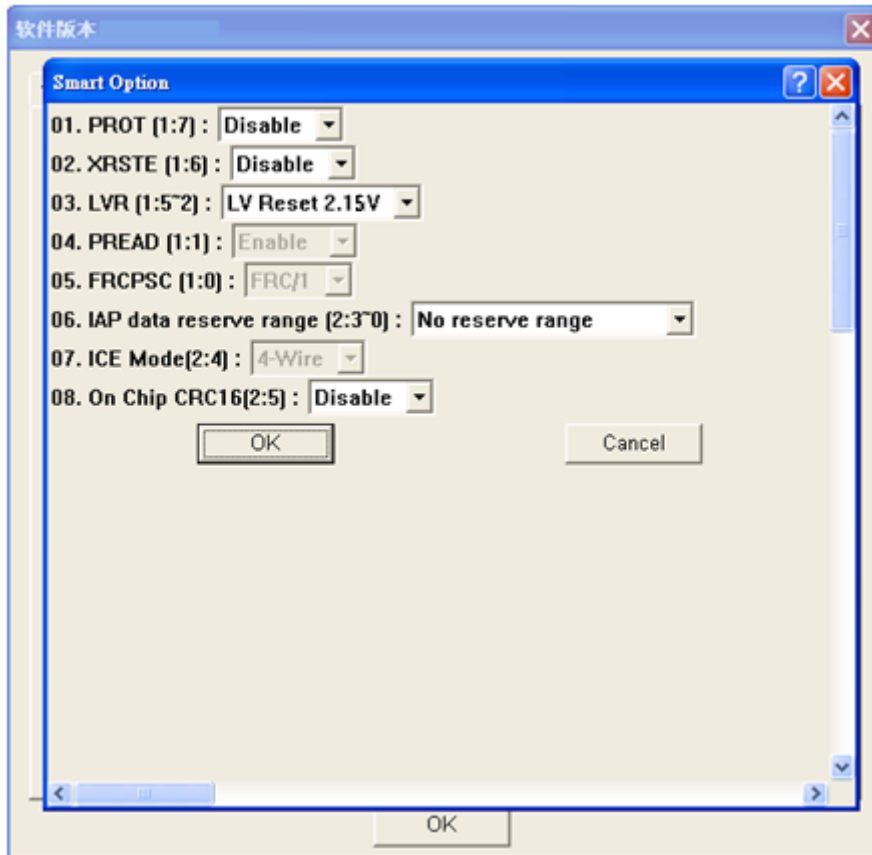
16. 在线仿真器(ICE)模式

本装置可以支持在线仿真模式。要使用 ICE 模式,用户只需要将 P3.0 和 P3.1 引脚连接至 tenx 专用的 EV 模块。这样做的好处是,用户可以在不改变电路板的目标设备上模拟整个系统。但 ICE 模式也有一些限制,如下所列。

1. 该设备必须取消保护。
2. P3.0 和 P3.1 引脚必须工作在输入模式(P3MOD0 = 0/1 和 P3MOD1 = 0/1)。
3. 程序存储器的寻址空间 0D00h~0FFFh 和 0033h~003Ah 由 tenx EV 模块占用。因此,用户程序无法存取这些空间。
4. P3.0 和 P3.1 引脚的功能无法模拟。
5. P3.0 和 P3.1 引脚可以由 P2.0 和 P2.1 引脚取代。



ICE 工具设定介绍



No.	项目	描述
01	PROT	启用：Flash 代码受保护，Writer 无法访问 ROM 代码 禁用：闪存代码不受保护，Writer 可以访问 ROM 代码（默认）
02	XRSTE	使能：P3.7 是外部复位引脚 禁用：P3.7 是常规 I/O 引脚（默认）
03	LVR	16 级低压复位选择 0000：将 LVR 设置为 2.15V 1000：将 LVR 设置为 3.30V 0001：将 LVR 设置为 2.30V 1001：将 LVR 设置为 3.45V 0010：将 LVR 设置为 2.45V 1010：将 LVR 设置为 3.60V 0011：将 LVR 设置为 2.55V 1011：将 LVR 设置为 3.75V 0100：将 LVR 设置为 2.70V 1100：将 LVR 设置为 3.90V 0101：将 LVR 设置为 2.85V 1101：将 LVR 设置为 4.05V 0110：将 LVR 设置为 3.00V 1110：将 LVR 设置为 4.20V 0111：将 LVR 设置为 3.15V 1111：将 LVR 设置为 4.35V
04	PREAD	Reserved
05	FRCPSC	Reserved
06	IAP data reserve range	IAP 允许的区域范围选择
07	ICE Mode	Reserved
08	On Chip CRC16	启用：片上CRC-16功能启用 禁用：片上CRC-16功能禁用（默认）

SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
80h	0000-0000	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	
81h	0000-0111	SP	SP								
82h	0000-0000	DPL	DPL								
83h	0000-0000	DPH	DPH								
84h	x00x-xxxx	INTE2	–	PWM1IE	PWM0IE	–	–	–	–	–	
85h	x00x-xxxx	INTFLG2	–	PWM1IF	PWM0IF	–	–	–	–	–	
87h	0xxx-0000	PCON	SMOD	–	–	–	GF1	GF0	PD	IDL	
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0		
8Ah	0000-0000	TL0	TL0								
8Bh	0000-0000	TL1	TL1								
8Ch	0000-0000	TH0	TH0								
8Dh	0000-0000	TH1	TH1								
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	
91h	0000-0000	POOE	POOE								
92h	xxxx-0000	PILOE	–	–	–	–	PILOE				
93h	0000-0101	PINMOD	TXRXSEL	T2OE	T1OE	T0OE	P2MOD1		P2MOD0		
94h	0000-0000	OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC		
95h	xxx0-x000	INTFLG	–	–	–	ADIF	–	IE2	PXIF	TF3	
96h	0000-0000	P1WKUP	P1WKUP								
97h	xxxx-xx00	SWCMD	IAPALL / SWRST / WDTO								
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	
99h	xxxx-xxxx	SBUF	SBUF								
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	
A1h	00xx-0000	PWMCON	PWM1CKS		–	–	PWM0CKS		PWM0NSK	PWM0PMSK	
A2h	0101-0101	P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0		
A3h	0101-0101	P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4		
A4h	0101-0101	P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0		
A5h	0101-0101	P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4		
A6h	0000-0000	PWMOE0	PWM1OE3	PWM1OE2	PWM1OE1	PWM1OE0	PWM0NOE1	PWM0POE1	PWM0NOE0	PWM0POE0	
A7h	0000-0000	PWMCON2	PWM0MOD	PWM0MSKE	PWM0OM		PWM0DZ				
A8h	0x00-0000	IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0	
A9h	xx00-0000	INTE1	PWMIE	–	LVDIE	I2CE	ADIE	EX2	PXIE	TM3IE	
AAh	xxxx-xxxx	ADCDL	ADCDL								
ABh	xxxx-xxxx	ADCDH	ADCDH								
AEh	1111-x000	CHSEL	ADCHS				ADCHS4	ADCVREFS	VBGSEL		
AFh	0000-0000	PODIE	PODIE								
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	
B6h	0000-0000	PWMOE1	PWM4OE3	PWM4OE2	PWM4OE1	PWM4OE0	PWM3OE1	PWM3OE0	PWM2OE1	PWM2OE0	
B7h	0000-0000	PWMOE2	MSDASEL	MSCLSEL	PWM6OE2	PWM6OE1	PWM6OE0	PWM5OE2	PWM5OE1	PWM5OE0	
B8h	xx00-0000	IP	–	–	PT2	PS	PT1	PX1	PT0	PX0	
B9h	xx00-0000	IPH	–	–	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	
BAh	0x00-0000	IP1	PPWM	–	PLVD	PI2C	PADI	PX2	PPX	PT3	
BBh	0x00-0000	IP1H	PPWMH	–	PLVDH	PI2CH	PADIH	PX2H	PPXH	PT3H	
C5h	0000-0000	P0WKUP	P0WKUP								
C6h	0000-0000	P2WKUP	P2WKUP								
C7h	0000-0000	P3WKUP	P3WKUP								
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N	
C9h	000x-xxxx	IAPWE	IAPWE / IAPTO / EEPWE								
CAh	0000-0000	RCP2L	RCP2L								
CBh	0000-0000	RCP2H	RCP2H								
CCh	0000-0000	TL2	TL2								
CDh	0000-0000	TH2	TH2								
CEh	0000-0000	EXA2	EXA2								
CFh	0000-0000	EXA3	EXA3								
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P	

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
D1h	0000-0000	PWM0DH	PWM0DH								
D2h	0000-0000	PWM0DL	PWM0DL								
D3h	0000-0000	PWM1DH	PWM1DH								
D4h	0000-0000	PWM1DL	PWM1DL								
D5h	0000-0000	PWM2DH	PWM2DH								
D6h	0000-0000	PWM2DL	PWM2DL								
D8h	xxx0-0011	CLKCON	-	-	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC		
D9h	1111-1111	PWM0PRDH	PWM0PRDH								
DAh	1111-1111	PWM0PRDL	PWM0PRDL								
DBh	1111-1111	PWM1PRDH	PWM1PRDH								
DCh	1111-1111	PWM1PRDL	PWM1PRDL								
DDh	0000-0000	PWM3DH	PWM3DH								
DEh	0000-0000	PWM3DL	PWM3DL								
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	
E1h	000x-0100	MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR		
E2h	0000-0000	MIDAT	MIDAT								
E3h	xxxx-0000	LVRCON							LVRSEL		
E4h	xxx0-0000	LVDCON	-	-	-	LVDIF	LVDSEL				
E5h	0000-0000	LVRPD	LVRPD								
E6h	0000-0000	EXA	EXA								
E7h	0000-0000	EXB	EXB								
E9h	0000-0000	PWM4DH	PWM4DH								
EAh	0000-0000	PWM4DL	PWM4DL								
EBh	0000-0000	PWM5DH	PWM5DH								
ECh	0000-0000	PWM5DL	PWM5DL								
EDh	0000-0000	PWM6DH	PWM6DH								
EEh	0000-0000	PWM6DL	PWM6DL								
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	
F1h	1111-1111	CRCDL	CRCDL								
F2h	1111-1111	CRCDH	CRCDH								
F3h	0000-0000	CRCIN	CRCIN								
F5h	xxxx-xxxx	CFGGBG	-	-	-	BGTRIM					
F6h	xxxx-xxxx	CFGWL	-	FRCF							
F7h	0000-1110	AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	IAPTE		MULDIV16	
F8h	0000-1100	AUX1	CLRWDT	CLRTM3	VBGEN	ADSOC	CLRPWM0	CLRPWM1	-	DPSEL	

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1FFBh	CFGGBG	-	-	-	BGTRIM				
1FFDh	CFGWL	-	FRCF						
1FFFh	CFGWH	PROT	XRSTE	LVRE				PREAD	FRCPSC

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	00h	Port0 has no pin out, so P0 is used as general purpose register
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
84h	INTE2	6	PWM1IE	R/W	0	PWM1~PWM6 interrupt enable 0: Disable PWM1~PWM6 interrupt 1: Enable PWM1~PWM6 interrupt
		5	PWM0IE	R/W	0	PWM0 interrupt enable 0: Disable PWM0 interrupt 1: Enable PWM0 interrupt
85h	INTFLG2	6	PWM1IF	R/W	0	PWM1~PWM6 interrupt flag Set by H/W at the end of PWM1 period, S/W writes BFh to INTFLG2 to clear this flag.
		5	PWM0IF	R/W	0	PWM0 interrupt enable Set by H/W at the end of PWM0 period, S/W writes DFh to INTFLG2 to clear this flag.
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter STOP mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter IDLE mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0OE	7~0	P0OE	R/W	00h	Port0 CMOS Push-Pull output enable control 0: Disable 1: Enable
92h	PILOE	3	PILOE3	R/W	0	LCD 1/2 bais Output 0: Disable 1: P15 as LCD 1/2 bais Output
		2	PILOE2	R/W	0	LCD 1/2 bais Output 0: Disable 1: P14 as LCD 1/2 bais Output
		1	PILOE1	R/W	0	LCD 1/2 bais Output 0: Disable 1: P13 as LCD 1/2 bais Output
		0	PILOE0	R/W	0	LCD 1/2 bais Output 0: Disable 1: P12 as LCD 1/2 bais Output

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
93h	PINMOD	7	TXRXSEL	R/W	0	UART TXD/RXD pin select 0: P31 as TXD, P30 as RXD 1: P16 as TXD, P02 as RXD
		6	T2OE	R/W	0	Timer2 signal output (T2O) control 0: Disable "Timer2 overflow divided by 2" output to P1.0 pin 1: Enable "Timer2 overflow divided by 2" output to P1.0 pin
		5	T1OE	R/W	0	Timer1 signal output (T1O) control 0: Disable "Timer1 overflow divided by 2" output to P3.5 pin 1: Enable "Timer1 overflow divided by 2" output to P3.5 pin
		4	T0OE	R/W	0	Timer0 signal output (T0O) control 0: Disable "Timer0 overflow divided by 64" output to P3.4 pin 1: Enable "Timer0 overflow divided by 64" output to P3.4 pin
		3~2	P2MOD1	R/W	01	P2.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: not defined
		1~0	P2MOD0	R/W	01	P2.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: not defined
94h	OPTION	7	UART1W	R/W	0	Set 1 to enable one wire UART mode, both TXD/RXD use P3.1 pin or P1.6.
		6	TM3CKS	R/W	0	Timer3 clock source select. 0: Slow Clock (SRC) 1: FRC/512
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 400ms WDT overflow rate 01: 200ms WDT overflow rate 10: 100ms WDT overflow rate 11: 50ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSCLK} /32 01: F _{SYSCLK} /16 10: F _{SYSCLK} /8 11: F _{SYSCLK} /4
		1~0	TM3PSC	R/W	00	Timer3 Interrupt rate 00: Timer3 Interrupt rate is 32768 Slow clock cycle 01: Timer3 Interrupt rate is 16384 Slow clock cycle 10: Timer3 Interrupt rate is 8192 Slow clock cycle 11: Timer3 Interrupt rate is 65536 Slow clock cycle
95h	INTFLG	4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		2	IE2	R/W	0	External Interrupt 2 (INT2 pin) edge flag Set by H/W when a falling edge is detected on the INT2 pin, no matter the EX2 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine. S/W can write FBh to INTFLG to clear this bit.
		1	PXIF	R/W	0	Port1 pin change Interrupt flag Set by H/W when a Port1 pin state change is detected and its interrupt enable bit is set (P0WKUP/P1WKUP/P2WKUP/P3WKUP). PXIE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer3 Interrupt Flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.
96h	P1WKUP	7~0	P1WKUP	R/W	00h	P1.7~P1.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPALL	W		Write 65h, the available range of flash memory IAP is 0000h~1FEFh (IAPALL read back value is 1) Write 00h, the available range of flash memory IAP is 1F00h~1EFFh (IAPALL read back value is 0).
		1	WDTO	R	0	WatchDog Time-Out flag
		0	IAPALL	R	0	0: Flash memory 0000h~1EFFh cannot use IAP, only 1F00h~1EFFh can use IAP 1: Flash memory 0000h~1EFFh and 1F00h~1EFFh can use IAP.
98h	SCON	7	SM0	R/W	0	UART Serial port mode select bit 0, 1 (SM0, SM1) = 00: Mode0: 8 bit shift register, Baud Rate= $F_{SYSCLK}/2$ 01: Mode1: 8 bit UART, Baud Rate is variable 10: Mode2: 9 bit UART, Baud Rate= $F_{SYSCLK}/32$ or $/64$ 11: Mode3: 9 bit UART, Baud Rate is variable
		6	SM1	R/W	0	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	Set 1 to enable UART Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
		99h	SBUF	7~0	SBUF	R/W
A0h	P2	7~2	P2.7~P2.2	R/W	FFh	P2.7~P2.2 have no pin out, so these bits are used as general purpose register
		1~0	P2.1~P2.0	R/W	11	P2.1~P2.0 data
A1h	PWMCON	7~6	PWM1CKS	R/W	00	PWM1 clock source 00: F_{SYSCLK} 01: F_{SYSCLK} 10: FRC 11: FRCx2 ($V_{CC}>2.7V$)
		3~2	PWM0CKS	R/W	00	PWM0 clock source 00: F_{SYSCLK} 01: F_{SYSCLK} 10: FRC 11: FRCx2 ($V_{CC}>2.7V$)
		1	PWM0NMSK	R/W	0	PWM0N mask data while CLR PWM0=1
		0	PWM0PMSK	R/W	0	PWM0N mask data while CLR PWM0=1
A2h	P1MODL	7~6	P1MOD3	R/W	01	P1.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P1.3 is ADC input
		5~4	P1MOD2	R/W	01	P1.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		3~2	P1MOD1	R/W	01	P1.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P1.1 is ADC input
		1~0	P1MOD0	R/W	01	P1.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P1.0 is ADC input

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A3h	P1MODH	7~6	P1MOD7	R/W	01	P1.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P1.7 is ADC input
		5~4	P1MOD6	R/W	01	P1.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P1.6 is ADC input
		3~2	P1MOD5	R/W	01	P1.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P1.5 is ADC input
		1~0	P1MOD4	R/W	01	P1.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P1.4 is ADC input
A4h	P3MODL	7~6	P3MOD3	R/W	01	P3.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P3.3 is ADC input
		5~4	P3MOD2	R/W	01	P3.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P3.2 is ADC input
		3~2	P3MOD1	R/W	01	P3.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P3.1 is ADC input
		1~0	P3MOD0	R/W	01	P3.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P3.0 is ADC input
A5h	P3MODH	7~6	P3MOD7	R/W	01	P3.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		5~4	P3MOD6	R/W	01	P3.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		3~2	P3MOD5	R/W	01	P3.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		1~0	P3MOD4	R/W	01	P3.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3, P3.4 is ADC input
A6h	PWMOE0	7	PWM1OE3	R/W	0	PWM1 output control 0: Disable 1: PWM1 enable and output to P1.2
		6	PWM1OE2	R/W	0	PWM1 output control 0: Disable 1: PWM1 enable and output to P0.6
		5	PWM1OE1	R/W	0	PWM1 output control 0: Disable 1: PWM1 enable and output to P0.4
		4	PWM1OE0	R/W	0	PWM1 output control 0: Disable 1: PWM1 enable and output to P0.2
		3	PWM0NOE1	R/W	0	PWM0N output control 0: Disable 1: PWM0N enable and output to P3.6
		2	PWM0POE1	R/W	0	PWM0P output control 0: Disable 1: PWM0P enable and output to P3.5
		1	PWM0NOE0	R/W	0	PWM0N output control 0: Disable 1: PWM0N enable and output to P0.4
		0	PWM0POE0	R/W	0	PWM0P output control 0: Disable 1: PWM0P enable and output to P0.3
A7h	PWMCON2	7	PWM0MOD	R/W	0	PWM0 mode select 0: Normal mode 1: Half-bridge mode
		6	PWM0MSKE	R/W	0	PWM0 mask output enable 0: Disable 1: Enable, PWM0P/PWM0N output data by PWM0PMSK/PWM0NMSK while CLRPWM0=1
		5~4	PWM0OM	R/W	00	PWM0 output mode select 00: Mode0 01: Mode1 10: Mode2 11: Mode3
		3~0	PWM0DZ	R/W	0000	PWM0 dead zone (Dead zone is prohibited in half-bridge mode) 0000: 0 x T _{PWMCLK} 0001: 1 x T _{PWMCLK} ... 1111: 15 x T _{PWMCLK}

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Stop mode wake up capability
A9h	INTE1	7	PWMIE	R/W	0	Set 1 to enable PWM0/PWM1~PWM6 interrupt
		5	LVDIE	R/W	0	Set 1 to enable LVD interrupt
		4	I2CE	R/W	0	Set 1 to enable I ² C interrupt
		3	ADIE	R/W	0	Set 1 to enable ADC Interrupt
		2	EX2	R/W	0	Set 1 to enable external INT2 pin Interrupt & Stop mode wake up capability
		1	PXIE	R/W	0	Set 1 to enable Port0/Port1/Port2/Port3 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
AAh	ADC DL	7~4	ADC DL	R	-	ADC data bit 3~0
ABh	ADC DH	7~0	ADC DH	R	-	ADC data bit 11~4
AEh	CHSEL	7~4	ADCHS	R/W	1111	5-bit ADC channel select = {ADCHS4,ADCHS}. 00000: AD0 (P0.4) 00001: AD1 (P0.3) 00010: AD2 (P1.0) 00011: AD3 (P1.1) 00100: AD4 (P3.3) 00101: AD5 (P3.2) 00110: AD6 (P3.0) 00111: AD7 (P3.1) 01000: AD8 (P3.4) 01001: AD9 (P1.7) 01010: AD10 (P0.7) 01011: AD11 (P0.5) 01100: VBG 01101: Reserved 01110: V _{SS} 01111: V _{CC} /4 10000: AD16 (P1.3) 10001: AD17 (P1.4) 10010: AD18 (P1.5) 10011: AD19 (P1.6) 10100: AD20 (P0.0) 10101: AD21 (P0.1) 10110: AD22 (P0.2) 10111: Reserved
		3	ADCHS4	R/W	0	5-bit ADC channel select = {ADCHS4,ADCHS}.
		2	ADCVREFS	R/W	0	ADC reference voltage 0: V _{CC} 1: VBG
		1~0	VBGSEL	R/W	00	VBG voltage select. When ADCVREF is selected as VBG, VBGSEL is prohibited from using 1.22V. 00: 1.22V 01: 2.5V (需 V _{CC} >2.8V) 10: Reserved

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						11: Reserved
AFh	P0DIE	7	P0DIE7	R/W	1	Port digital input enable 0: P0.7 is ADC input and disable digital input 1: enable P0.7 digital input
		6	P0DIE6	R/W	1	Port digital input enable 0: disable P0.6 digital input 1: enable P0.6 digital input
		5	P0DIE5	R/W	1	Port digital input enable 0: P0.5 is ADC input and disable digital input 1: enable P0.5 digital input
		4	P0DIE4	R/W	1	Port digital input enable 0: P0.4 is ADC input and disable digital input 1: enable P0.4 digital input
		3	P0DIE3	R/W	1	Port digital input enable 0: P0.3 is ADC input and disable digital input 1: enable P0.3 digital input
		2	P0DIE2	R/W	1	Port digital input enable 0: P0.2 is ADC input and disable digital input 1: enable P0.2 digital input
		1	P0DIE1	R/W	1	Port digital input enable 0: P0.1 is ADC input and disable digital input 1: enable P0.1 digital input
		0	P0DIE0	R/W	1	Port digital input enable 0: P0.0 is ADC input and disable digital input 1: enable P0.0 digital input
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B6h	PWMOE1	7	PWM4OE3	R/W	0	PWM4 output control 0: Disable 1: PWM4 enable and output to P3.6
		6	PWM4OE2	R/W	0	PWM4 output control 0: Disable 1: PWM4 enable and output to P1.5
		5	PWM4OE1	R/W	0	PWM4 output control 0: Disable 1: PWM4 enable and output to P0.4
		4	PWM4OE0	R/W	0	PWM4 output control 0: Disable 1: PWM4 enable and output to P0.0
		3	PWM3OE1	R/W	0	PWM3 output control 0: Disable 1: PWM3 enable and output to P3.4
		2	PWM3OE0	R/W	0	PWM3 output control 0: Disable 1: PWM3 enable and output to P1.0
		1	PWM2OE1	R/W	0	PWM2 output control 0: Disable 1: PWM2 enable and output to P3.6
		0	PWM2OE0	R/W	0	PWM2 output control 0: Disable 1: PWM2 enable and output to P1.1

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B7h	PWMOE2	7	MSDASEL	R/W	0	Master I ² C SDA select 0: P3.5 as Master I ² C SDA 1: P1.6 as Master I ² C SDA
		6	MSCLSEL	R/W	0	Master I ² C SCL select 0: P1.3 as Master I ² C SCL 1: P0.2 as Master I ² C SCL
		5	PWM6OE2	R/W	0	PWM6 output control 0: Disable 1: PWM6 enable and output to P1.3
		4	PWM6OE1	R/W	0	PWM6 output control 0: Disable 1: PWM6 enable and output to P0.7
		3	PWM6OE0	R/W	0	PWM6 output control 0: Disable 1: PWM6 enable and output to P0.3
		2	PWM5OE2	R/W	0	PWM5 output control 0: Disable 1: PWM5 enable and output to P1.4
		1	PWM5OE1	R/W	0	PWM5 output control 0: Disable 1: PWM5 enable and output to P0.6
		0	PWM5OE0	R/W	0	PWM5 output control 0: Disable 1: PWM5 enable and output to P0.1
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	7	PPWM	R/W	0	PWM0/PWM1 Interrupt Priority Low bit
		5	PLVD	R/W	0	LVD Interrupt Priority Low bit
		4	PI2C	R/W	0	I ² C Interrupt Priority Low bit
		3	PADI	R/W	0	ADC Interrupt Priority Low bit
		2	PX2	R/W	0	External INT2 Pin Interrupt Priority Low bit
		1	PPX	R/W	0	Port0~Port3 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
BBh	IP1H	7	PPWMH	R/W	0	PWM0/PWM1 Interrupt Priority High bit
		5	PLVDH	R/W	0	LVD Interrupt Priority High bit
		4	PI2CH	R/W	0	I ² C Interrupt Priority High bit
		3	PADIH	R/W	0	ADC Interrupt Priority High bit
		2	PX2H	R/W	0	External INT2 Pin Interrupt Priority High bit
		1	PPXH	R/W	0	Port0~Port3 Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit
C5h	P0WKUP	7~0	P0WKUP	R/W	00h	P0.7~P0.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.
C6h	P2WKUP	7~0	P2WKUP	R/W	00h	P2.7~P2.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.
C7h	P3WKUP	7~0	P3WKUP	R/W	00h	P3.7~P3.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0:timer stops 1:timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.
C9h	IAPWE	7~0	IAPWE	W	-	Write 47h to set IAPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after IAP write.
		7~0	EEPWE	W	-	Write E2h to set EEPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		7	IAPWE	R	0	Flag indicates Flash memory can be written by IAP or not 0: IAP Write disable 1: IAP Write enable
		6	IAPTO	R	0	IAP (or EEPROM write) Time-Out flag Set by H/W when IAP (or EEPROM write) Time-out occurs. Cleared by H/W when IAPWE=0 and EEPWE=0.
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
CEh	EXA2	7~0	EXA2	R/W	00h	Expansion accumulator 2
CFh	EXA3	7~0	EXA3	R/W	00h	Expansion accumulator 3
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		0	P	R/W	0	Parity flag
D1h	PWM0DH	7~0	PWM0DH	R/W	00h	PWM0 duty high byte
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty low byte
D3h	PWM1DH	7~0	PWM1DH	R/W	00h	PWM1 duty high byte
D4h	PWM1DL	7~0	PWM1DL	R/W	00h	PWM1 duty low byte
D5h	PWM2DH	7~0	PWM2DH	R/W	00h	PWM2 duty high byte
D6h	PWM2DL	7~0	PWM2DL	R/W	00h	PWM2 duty low byte
D8h	CLKCON	5	STPSCK	R/W	1	Set 1 to stop Slow clock in Stop Mode.
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0 period high byte
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0 period low byte
DBh	PWM1PRDH	7~0	PWM1PRDH	R/W	FFh	PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 period high byte
DCh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 period low byte
DDh	PWM3DH	7~0	PWM3DH	R/W	00h	PWM3 duty high byte
DEh	PWM3DL	7~0	PWM3DL	R/W	00h	PWM3 duty low byte
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E1h	MICON	7	MIEN	R/W	0	Master I ² C enable 0: disable 1: enable
		6	MIACKO	R/W	0	When Master I ² C receive data, send acknowledge to I ² C Bus 0: ACK to slave device 1: NACK to slave device
		5	MIIF	R/W	0	Master I ² C Interrupt flag 0: write 0 to clear it 1: Master I ² C transfer one byte complete
		4	MIACKI	R	-	When Master I ² C transfer, acknowledgement form I ² C bus (read only) 0: ACK received 1: NACK received
		3	MISTART	R/W	0	Master I ² C Start bit 1: start I ² C bus transfer
		2	MISTOP	R/W	1	Master I ² C Stop bit 1: send STOP signal to stop I ² C bus
		1~0	MICR	R/W	00	Master I ² C (SCL) clock frequency selection 00: Fsys/4 (ex. If Fsys=16MHz, I ² C clock is 4M Hz) 01: Fsys/16 (ex. If Fsys=16MHz, I ² C clock is 1M Hz) 10: Fsys/64 (ex. If Fsys=16MHz, I ² C clock is 250K Hz) 11: Fsys/256 (ex. If Fsys=16MHz, I ² C clock is 62.5K Hz)
E2h	MIDAT	7~0	MIDAT	R/W	00	Master I ² C data shift register (W): After Start and before Stop condition, write this register will resume transmission to I ² C bus (R): After Start and before Stop condition, read this register will resume receiving from I ² C bus

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
E3h	LVRCON	3~0	LVRSEL	R/W	0h	Low Voltage Reset(LVR) select. (Same as CFGWH LVRE function) 0000: Set LVR at 2.25V 0001: Set LVR at 2.40V 0010: Set LVR at 2.55V 0011: Set LVR at 2.65V 0100: Set LVR at 2.80V 0101: Set LVR at 2.95V 0110: Set LVR at 3.10V 0111: Set LVR at 3.25V 1000: Set LVR at 3.40V 1001: Set LVR at 3.55V 1010: Set LVR at 3.70V 1011: Set LVR at 3.85V 1100: Set LVR at 4.00V 1101: Set LVR at 4.15V 1110: Set LVR at 4.30V 1111: Set LVR at 4.45V
E4h	LVDCON	4	LVDIF	R/W	0	LVD interrupt flag, write 0 to clear this bit
		3~0	LVDSEL	R/W	0h	Low Voltage Detect(LVD) select 0000: LVD disable 0001: Set LVD at 2.40V 0010: Set LVD at 2.55V 0011: Set LVD at 2.65V 0100: Set LVD at 2.80V 0101: Set LVD at 2.95V 0110: Set LVD at 3.10V 0111: Set LVD at 3.25V 1000: Set LVD at 3.40V 1001: Set LVD at 3.55V 1010: Set LVD at 3.70V 1011: Set LVD at 3.85V 1100: Set LVD at 4.00V 1101: Set LVD at 4.15V 1110: Set LVD at 4.30V 1111: Set LVD at 4.45V
E5h	LVRPD	7~0	LVRPD	W	00h	LVR and POR power down option Write 0x37 to force LVR disable, POR disable Write 0x38 to force LVR disable, POR enable
E6h	EXA	7~0	EXA	R/W	00h	Expansion accumulator
E7h	EXB	7~0	EXB	R/W	00h	Expansion B register
E9h	PWM4DH	7~0	PWM4DH	R/W	00h	PWM4 duty high byte
EAh	PWM4DL	7~0	PWM4DL	R/W	00h	PWM4 duty low byte
EBh	PWM5DH	7~0	PWM5DH	R/W	00h	PWM5 duty high byte
ECh	PWM5DL	7~0	PWM5DL	R/W	00h	PWM5 duty low byte
EDh	PWM6DH	7~0	PWM6DH	R/W	00h	PWM6 duty high byte
EEh	PWM6DL	7~0	PWM6DL	R/W	00h	PWM6 duty low byte
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	-	CRC input data
F5h	CFGGB	4~0	BGTRIM	R/W	-	VBG trimming value
F6h	CFGWL	6~0	FRCF	R/W	-	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency
F7h	AUX2	7~6	WDTE	R/W	-	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Stop mode

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						11: WDT always enable
		5	PWRSV	R/W	-	Set 1 to reduce the chip's power consumption at Idle and Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin, when ADCHS = 4'b1100
		3	DIV32	R/W	0	only active when MULDV16 = 1 0: instruction DIV as 16/16 bit division operation 1: instruction DIV as 32/16 bit division operation
		2~1	IAPTE	R/W	11	IAP (or EEPROM write) watchdog timer enable 00: Disable 01: wait 1.6mS trigger watchdog time-out flag 10: wait 3.2mS trigger watchdog time-out flag 11: wait 12.8mS trigger watchdog time-out flag
		0	MULDIV16	R/W	0	0: instruction MUL/DIV as 8*8, 8/8 operation 1: instruction MUL/DIV as 16*16, 16/16 or 32/16 operation
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear Timer3, HW auto clear it at next clock cycle.
		5	VBGEN	R/W	0	force VBG generator enable 0: VBG generator is automatically enable and disable 1: Force VBG generator enable except in IDLE and STOP mode.
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	CLRPWM0	R/W	1	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held
		2	CLRPWM1	R/W	1	PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 clear enable 0: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 is running 1: PWM1/PWM2/PWM3/PWM4/PWM5/PWM6 is cleared and held
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
1FFBh	CFGGB	4~0	BGTRIM	FRC frequency adjustment. VBG is trimmed to 1.22V in chip manufacturing. BGTRIM records the adjustment data.
1FFDh	CFGWL	6~0	FRCF	FRC frequency adjustment. FRC is trimmed to 16.588MHz in chip manufacturing. FRCF records the adjustment data.
1FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset enable, 1=enable.
		5~2	LVRE	Low Voltage Reset function select 0000: Set LVR at 2.25V 0001: Set LVR at 2.40V 0010: Set LVR at 2.55V 0011: Set LVR at 2.65V 0100: Set LVR at 2.80V 0101: Set LVR at 2.95V 0110: Set LVR at 3.10V 0111: Set LVR at 3.25V 1000: Set LVR at 3.40V 1001: Set LVR at 3.55V 1010: Set LVR at 3.70V 1011: Set LVR at 3.85V 1100: Set LVR at 4.00V 1101: Set LVR at 4.15V 1110: Set LVR at 4.30V 1111: Set LVR at 4.45V
		1	PREAD	Reserved
		0	FRCPSC	Reserved

注: 上表列出所有的 SFR,特地保留原始英文,以供使用者交互参考。

指令集

指令都是1,2或3个字节长如“byte”列所示。每条指令需要2~32个系统时钟周期来执行如“cycle”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A, Rn	Add register to A	1	2	28-2F
ADD A, dir	Add direct byte to A	2	2	25
ADD A, @Ri	Add indirect memory to A	1	2	26-27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	2	38-3F
ADDC A, dir	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A, dir	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A, Rn	AND register to A	1	2	58-5F
ANL A, dir	AND direct byte to A	2	2	55
ANL A, @Ri	AND indirect memory to A	1	2	56-57
ANL A, #data	AND immediate to A	2	2	54
ANL dir, A	AND A to direct byte	2	2	52
ANL dir, #data	AND immediate to direct byte	3	4	53
ORL A, Rn	OR register to A	1	2	48-4F
ORL A, dir	OR direct byte to A	2	2	45
ORL A, @Ri	OR indirect memory to A	1	2	46-47
ORL A, #data	OR immediate to A	2	2	44
ORL dir, A	OR A to direct byte	2	2	42
ORL dir, #data	OR immediate to direct byte	3	4	43
XRL A, Rn	Exclusive-OR register to A	1	2	68-6F
XRL A, dir	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL dir, A	Exclusive-OR A to direct byte	2	2	62
XRL dir, #data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A, Rn	Move register to A	1	2	E8-EF
MOV A, dir	Move direct byte to A	2	2	E5
MOV A, @Ri	Move indirect memory to A	1	2	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	2	F8-FF
MOV Rn, dir	Move direct byte to register	2	4	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV dir, A	Move A to direct byte	2	2	F5
MOV dir, Rn	Move register to direct byte	2	4	88-8F
MOV dir, dir	Move direct byte to direct byte	3	4	85
MOV dir, @Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir, #data	Move immediate to direct byte	3	4	75
MOV @Ri, A	Move A to indirect memory	1	2	F6-F7
MOV @Ri, dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri, #data	Move immediate to indirect memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	4	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	8	93
MOVC A, @A+PC	Move code byte relative PC to A	1	8	83
MOVX A, @Ri	Move external data (A8) to A	1	8	E2-E3
MOVX A, @DPTR	Move external data (A16) to A	1	8	E0
MOVX @Ri, A	Move A to external data (A8)	1	8	F2-F3
MOVX @DPTR, A	Move A to external data (A16)	1	8	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A, Rn	Exchange A and register	1	2	C8-CF
XCH A, dir	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A, @Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	4	82
ANL C, /bit	AND direct bit inverse to carry	2	4	B0
ORL C, bit	OR direct bit to carry	2	4	72
ORL C, /bit	OR direct bit inverse to carry	2	4	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	Opcode
ACALL addr 11	Absolute jump to subroutine	2	4 (+2)	11-F1
LCALL addr 16	Long jump to subroutine	3	4 (+2)	12
RET	Return from subroutine	1	4 (+2)	22
RETI	Return from interrupt	1	4 (+2)	32
AJMP addr 11	Absolute jump unconditional	2	4 (+2)	01-E1
LJMP addr 16	Long jump unconditional	3	4 (+2)	02
SJMP rel	Short jump (relative address)	2	4 (+2)	80
JC rel	Jump on carry = 1	2	4 (or 6)	40
JNC rel	Jump on carry = 0	2	4 (or 6)	50
JB bit,rel	Jump on direct bit = 1	3	4 (or 6)	20
JNB bit,rel	Jump on direct bit = 0	3	4 (or 6)	30
JBC bit,rel	Jump on direct bit = 1 and clear	3	4 (or 6)	10
JMP @A+DPTR	Jump indirect relative DPTR	1	4 (+2)	73
JZ rel	Jump on accumulator = 0	2	4 (or 6)	60
JNZ rel	Jump on accumulator ... 0	2	4 (or 6)	70
CJNE A,dir,rel	Compare A,direct, jump not equal relative	3	4 (or 6)	B5
CJNE A,#data,rel	Compare A,immediate, jump not equal relative	3	4 (or 6)	B4
CJNE Rn,#data,rel	Compare register,immediate, jump not equal relative	3	4 (or 6)	B8-BF
CJNE @Ri,#data,rel	Compare indirect,immediate, jump not equal relative	3	4 (or 6)	B6-B7
DJNZ Rn,rel	Decrement register, jump not zero relative	2	4 (or 6)	D8-DF
DJNZ dir,rel	Decrement direct byte, jump not zero relative	3	4 (or 6)	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中,如E8-EF中的指令操作码(十六进制)指示用于一个连续的块的8个不同的寄存器,寄存器编号,由其相应的操作码的最低3位定义。码的不连续的块,如11-F1(举例),用于绝对跳转和调用,码的前3位用于指示目的地址的顶部3位。

电器特性

1. 最大绝对额定值 ($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+5.5$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
全部引脚高电位输出电流	-80	mA
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	$-40 \sim +105$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. DC 特性 ($T_A=25\text{ }^\circ\text{C}$, $V_{CC}=2.2\text{V} \sim 5.5\text{V}$)

参数	符号	条件	最小值	典型值	最大值	单位	
工作电压	V_{CC}	快钟模式, $F_{SYS}=16.588\text{ MHz}$	2.2	–	5.5	V	
输入高电压	V_{IH}	所有输入	$V_{CC}=5\text{V}$	$0.6V_{CC}$	–	–	V
			$V_{CC}=3\text{V}$	$0.6V_{CC}$	–	–	V
输入低电压	V_{IL}	所有输入	$V_{CC}=5\text{V}$	–	–	$0.2V_{CC}$	V
			$V_{CC}=3\text{V}$	–	–	$0.2V_{CC}$	V
I/O 端口 拉电流	I_{OH}	所有输出	$V_{CC}=5\text{V}$, $V_{OH}=0.9V_{CC}$	6	12	–	mA
			$V_{CC}=3\text{V}$, $V_{OH}=0.9V_{CC}$	2.5	5	–	
I/O 端口 灌电流	I_{OL}	所有输出	$V_{CC}=5\text{V}$, $V_{OL}=0.1V_{CC}$	22	44	–	mA
			$V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$	10	20	–	
电源电流	I_{DD}	快钟模式 $V_{CC}=5\text{V}$	FRC=16.588 MHz		8.3		mA
			FRC=8.694 MHz	–	5.6	–	
		快钟模式 $V_{CC}=3\text{V}$	FRC=16.588 MHz	–	4.7	–	
			FRC=8.694 MHz		3.4		
		慢钟模式	SRC, $V_{CC}=5\text{V}$	–	2.6	–	
			SRC, $V_{CC}=3\text{V}$	–	1.7	–	
		空闲模式 (PWRSAV=0)	SRC, $V_{CC}=5\text{V}$		95		μA
			SRC, $V_{CC}=3\text{V}$		55		
		空闲模式 (PWRSAV=1)	SRC, $V_{CC}=5\text{V}$		26		
			SRC, $V_{CC}=3\text{V}$		9		
		暂停模式 (PWRSAV=1)	$V_{CC}=5\text{V}$	–	20	–	
			$V_{CC}=3\text{V}$	–	6	–	
暂停模式 (PWRSAV=1, TM3=800ms)	FRC, $V_{CC}=5\text{V}$	–	21	–			
	FRC, $V_{CC}=3\text{V}$	–	7	–			
停止模式	$V_{CC}=5\text{V}$	–	0.1	–			
	$V_{CC}=3\text{V}$	–	0.1	–			

LVR 参考电压	V_{LVR}	$T_A=25^\circ\text{C}$	-	4.45	-	V	
				4.30			
				4.15			
				3.00			
				3.85			
				3.70			
				3.55			
				3.40			
				3.25			
				3.10			
				2.95			
				2.80			
				2.65			
				2.55			
	2.40						
	-	2.25	-				
LVR 滞后电压	V_{HYST}	$T_A=25^\circ\text{C}$	-	± 0.1	-	V	
LVD 参考电压	V_{LVD}	$T_A=25^\circ\text{C}$	-	4.45	-	V	
				4.30			
				4.15			
				3.00			
				3.85			
				3.70			
				3.55			
				3.40			
				3.25			
				3.10			
				2.95			
				2.80			
				2.65			
				2.55			
	2.40						
低电压检测时间	t_{LVR}	$T_A=25^\circ\text{C}$	100	-	-	μs	
上拉电阻	R_P	$V_{IN}=0\text{V}$	$V_{CC}=5\text{V}$	-	33	-	K Ω
			$V_{CC}=3\text{V}$		55		

3. 时钟时序

参数	条件	最小值	典型值	最大值	单位
内部 RC 频率	25°C, V _{CC} =4.5V	-1%	16.588	+1%	MHz
	0°C ~ 105°C, V _{CC} =4.5V	-1.5%	16.588	+1.5%	
	0°C ~ 105°C, V _{CC} =3.0 ~ 5.5V	-3.5%	16.588	+3.5%	

4. 复位时序特性 (T_A= -40°C ~ +105°C)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input V _{CC} =5V ± 10 %	30	-	-	μs
WDT 唤醒时间	V _{CC} =5V, WDTPSC=11	-	49	-	ms
	V _{CC} =3V, WDTPSC=11	-	55	-	
CPU 启动时间	V _{CC} = 4V	-	22.4	-	ms

5. ADC 电气特性 (T_A= 25°C, V_{CC}= 3.0V ~ 5.5V, V_{SS}= 0V)

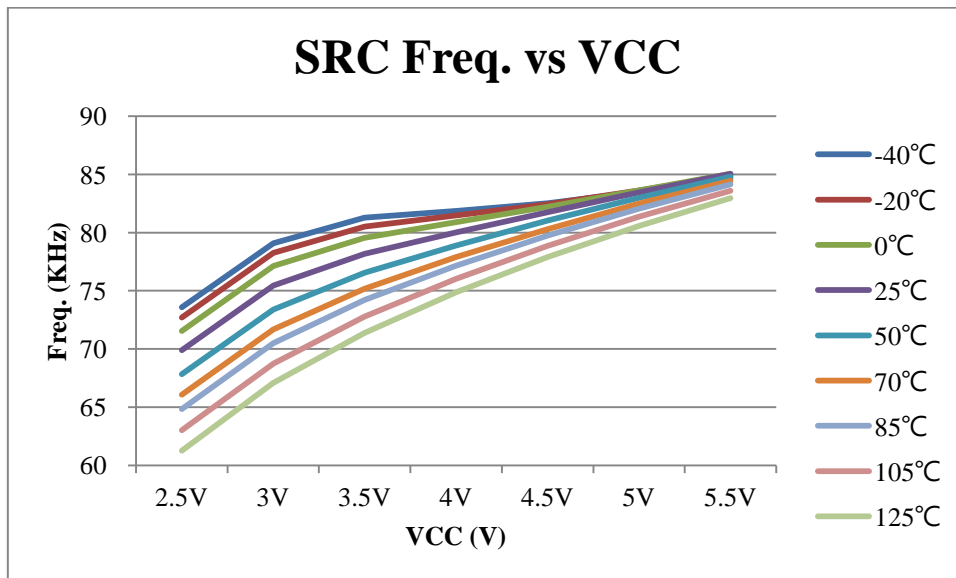
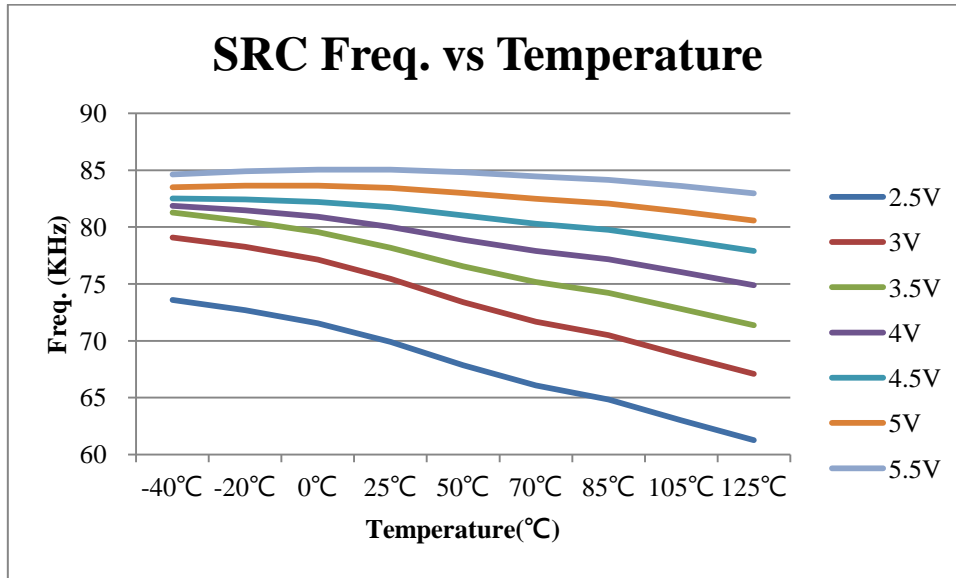
参数	条件	最小值	典型值	最大值	单位	
总绝对误差	V _{CC} =5.12 V, V _{SS} =0V	-	±2.5	±4	LSB	
积分非线性误差		-	±3.2	±5		
最大输入时钟(f _{ADC})	信号驱动源阻抗(R _s < 10KΩ)	-	-	2	MHz	
	信号驱动源阻抗(R _s < 20KΩ)	-	-	1		
	信号驱动源阻抗(R _s < 50KΩ)	-	-	0.5		
	信号驱动源为 VBG (ADCHS=1100b)	-	-	1.2		
转换时间	F _{ADC} = 1MHz	-	50	-	μs	
内部基准电压源 (V _{BG})	-	V _{CC} =2.5V~5.5V 25°C	-1.5%	1.22	+1.5%	V
		V _{CC} =2.5V~5.5V -40°C~105°C	-1.8%	1.22	+1.8%	
ADC 内部参考电压源 (V _{REF})	ADCVREFS=1	V _{CC} =3V~5.5V 25°C	-1.7%	2.5	+1.7%	
		V _{CC} =2.8V~5.5V -40°C~105°C	-2.3%	2.5	+2.3%	
V _{CC} /4 电压源 (V _{1/4})	-	V _{CC} =5V, 25°C	-0.8%	1.252	+0.8%	
		V _{CC} =3.6V, 25°C	-0.8%	0.902	+0.8%	
输入电压	-	V _{SS}	-	V _{CC}	V	

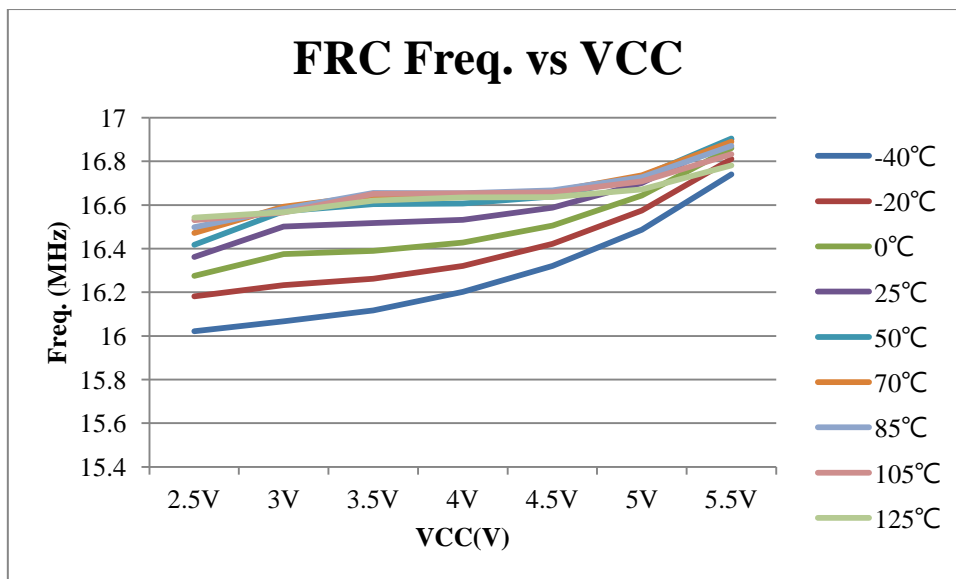
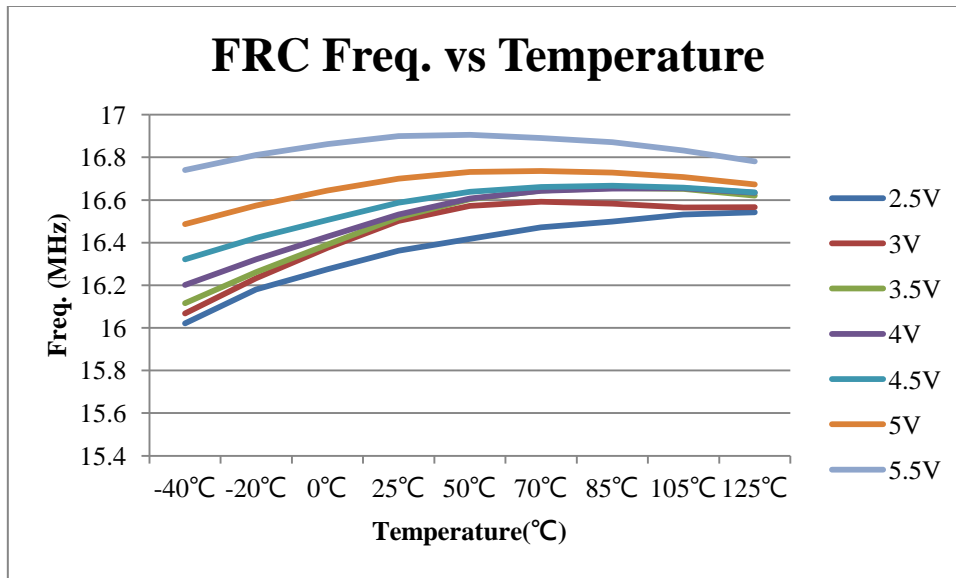
6. EEPROM Characteristics

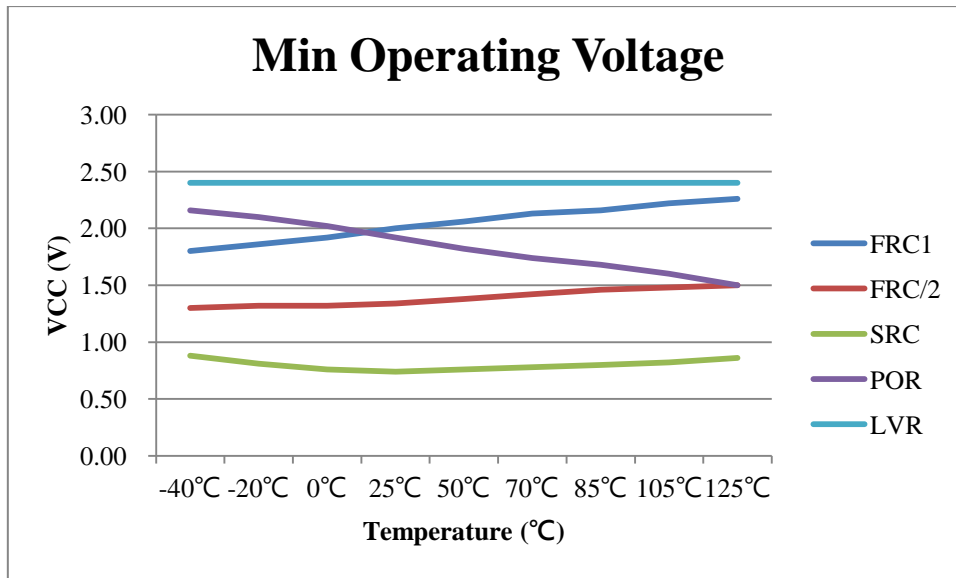
参数	条件	最小值	典型值	最大值	单位
写电压	-20°C ~ 85°C	3.5	5	5.5	V
	0°C ~ 105°C	4.5	5	5.5	
写入次数*	V _{CC} = 5V, -20°C	30K	-	-	次数
	V _{CC} = 5V, -10°C	50K	-	-	
	V _{CC} = 3.5V~5V, 85°C	50K	-	-	
	V _{CC} = 4.5V, 0°C~105°C	50K	-	-	

注：该参数的取值是根据被测样品的特性而定的。

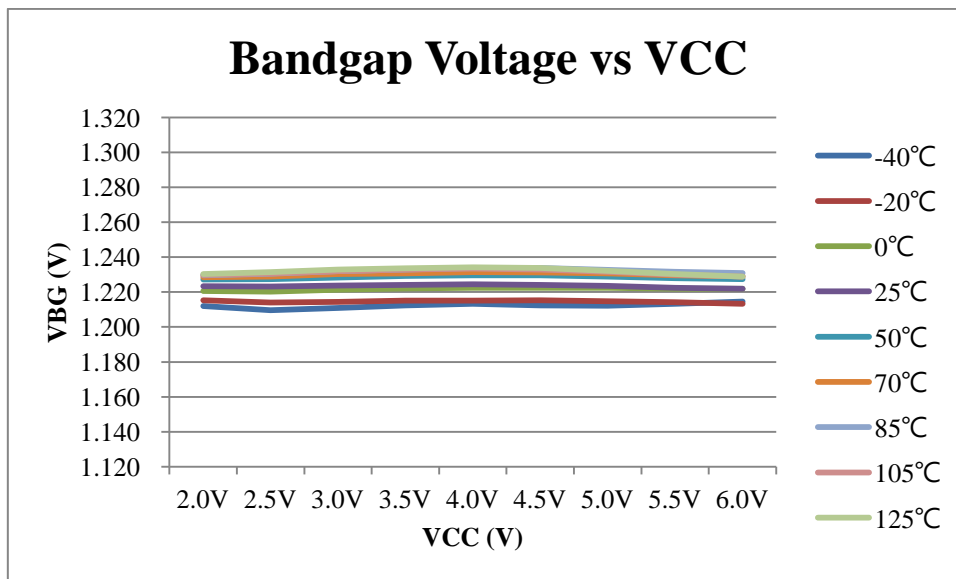
7. 特性曲线图







* POR: 上电复位。上电时, VCC 应大于 POR。由于制造工艺的变化, 不同芯片之间的 POR 值将略有不同。
*通过设置 CFGWH 可以选择 16 种级别的 LVR。

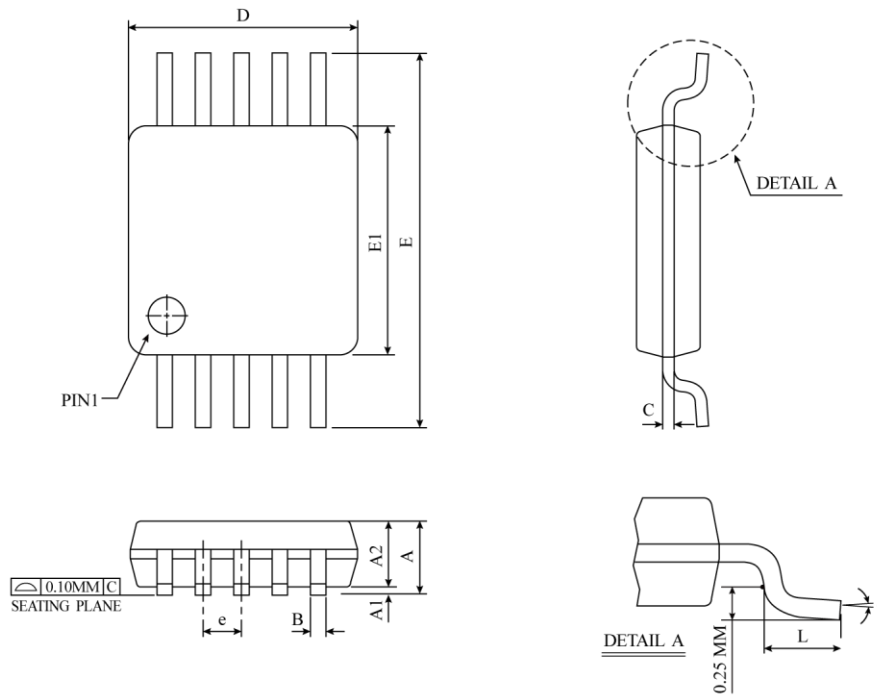


封装说明

请注意，此处提供的包装信息仅供参考。由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

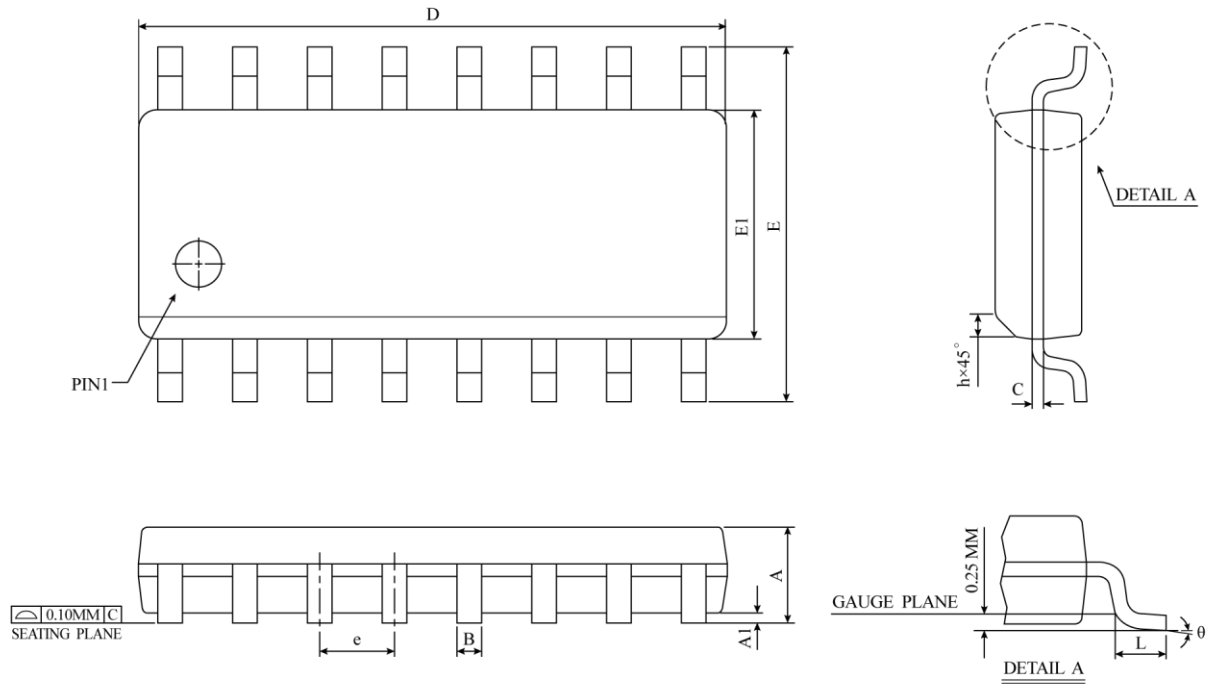
Ordering number	Package
TM52F1363-MTP	Wafer/Dice blank chip
TM52F1363-COD	Wafer/Dice with code
TM52F1363-MTP-53	MSOP 10-pin (118mil)
TM52F1363-MTP-16	SOP-16 (150mil)
TM52F1363-MTP-46	TSSOP-20 (173mil)
TM52F1363-MTP-21	SOP-20 (300mil)
TM52F1363-MTP-28	SSOP-24 (150mil)
TM52F1363-MTP-23	SOP-28 (300mil)
TM52F1363-MTP-29	SSOP-28 (150mil)
TM52F1363-MTP-D1	QFN-20 (3*3*0.75-0.4mm)(L=0.25mm)
TM52F1363-MTP-C3	QFN-28 (4x4x0.75-0.4mm)

MSOP-10 (118mil) Package Dimension


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.81	0.96	1.10	0.032	0.038	0.043
A1	0.05	0.10	0.15	0.002	0.004	0.006
A2	0.75	0.85	0.95	0.030	0.034	0.037
B	0.17	0.22	0.27	0.007	0.009	0.011
C	0.13	0.18	0.23	0.005	0.007	0.009
D	2.90	3.00	3.10	0.114	0.118	0.122
E	4.75	4.90	5.05	0.187	0.193	0.199
E1	2.90	3.00	3.10	0.114	0.118	0.122
e	0.50 BSC			0.020 BSC		
L	0.40	0.55	0.70	0.016	0.022	0.028
θ	0°	3°	6°	0°	3°	6°
JEDEC						

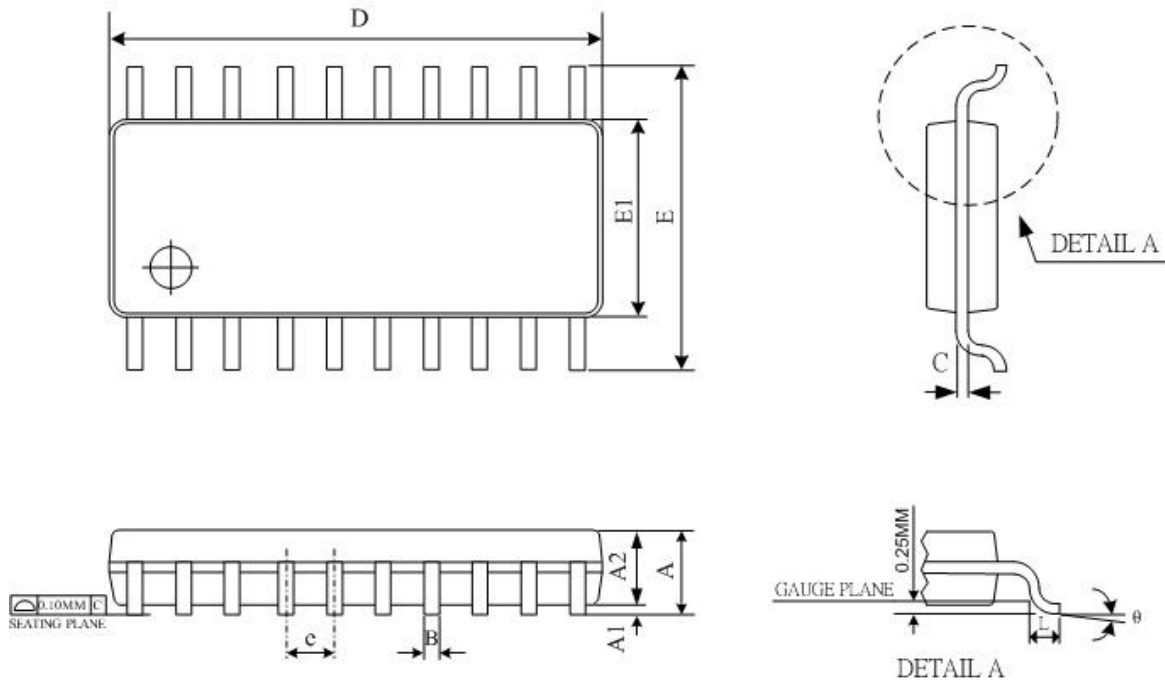
▲ *NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS.
 MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.12 MM (0.005 INCH) PER SIDE.
 DIMENSION "E1" DOES NOT INCLUDE MOLD PROTRUSIONS
 MOLD PROTRUSIONS SHALL NOT EXCEED 0.25 MM (0.010 INCH) PER SIDE.

SOP-16 (150mil) Package Dimension



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	9.80	9.90	10.00	0.3859	0.3898	0.3937
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AC)					

△ * NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
 MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
 NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

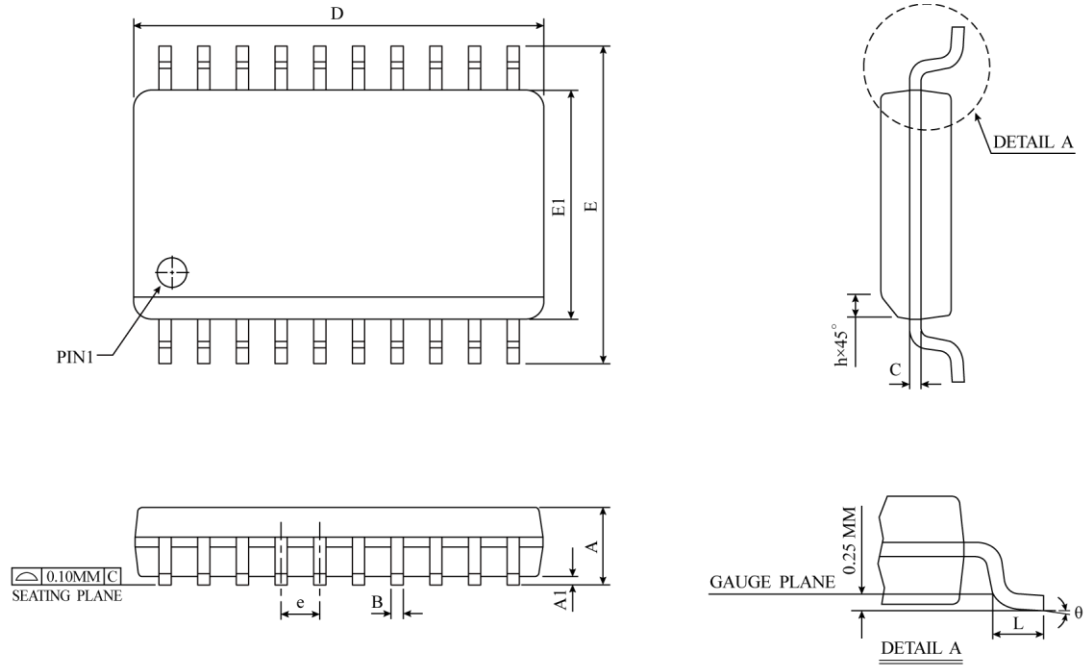
TSSOP-20 (173mil) Package Dimension


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.2	-	-	0.047
A1	0.05	0.10	0.15	0.002	0.004	0.006
A2	0.8	0.93	1.05	0.031	0.036	0.041
B	0.19	-	0.3	0.007	-	0.012
D	6.4	6.5	6.6	0.252	0.256	0.260
E	6.25	6.4	6.55	0.246	0.252	0.258
E1	4.3	4.4	4.5	0.169	0.173	0.177
e	0.65 BSC			0.026 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
θ	0 °		8 °	0 °		8 °
JEDEC	MO-153 AC REV.F					

Notes :

- 1.DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 PER SIDE.
- 2.DIMENSION "E1" DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 PER SIDE.
- 3.DIMENSION "B" DOES NOT INCLUDE DAMBAR PROTRUSION.ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08MM TOTAL IN EXCESS OF THE "B" DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD IS 0.07MM.

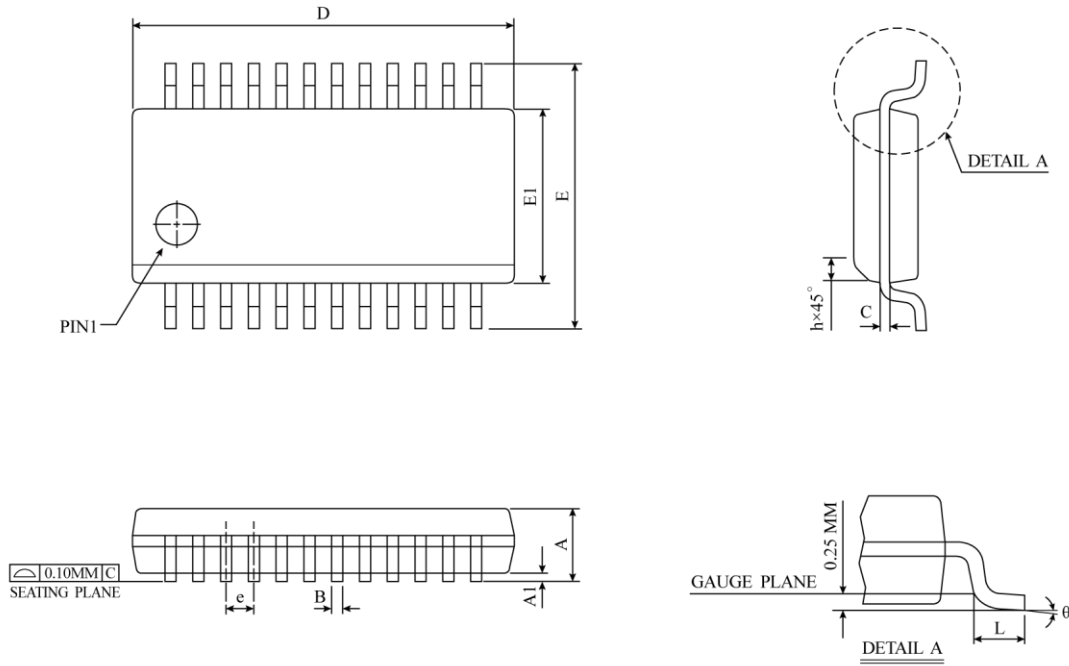
SOP-20 (300mil) Package Dimension



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	12.60	12.80	13.00	0.4961	0.5040	0.5118
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AC)					

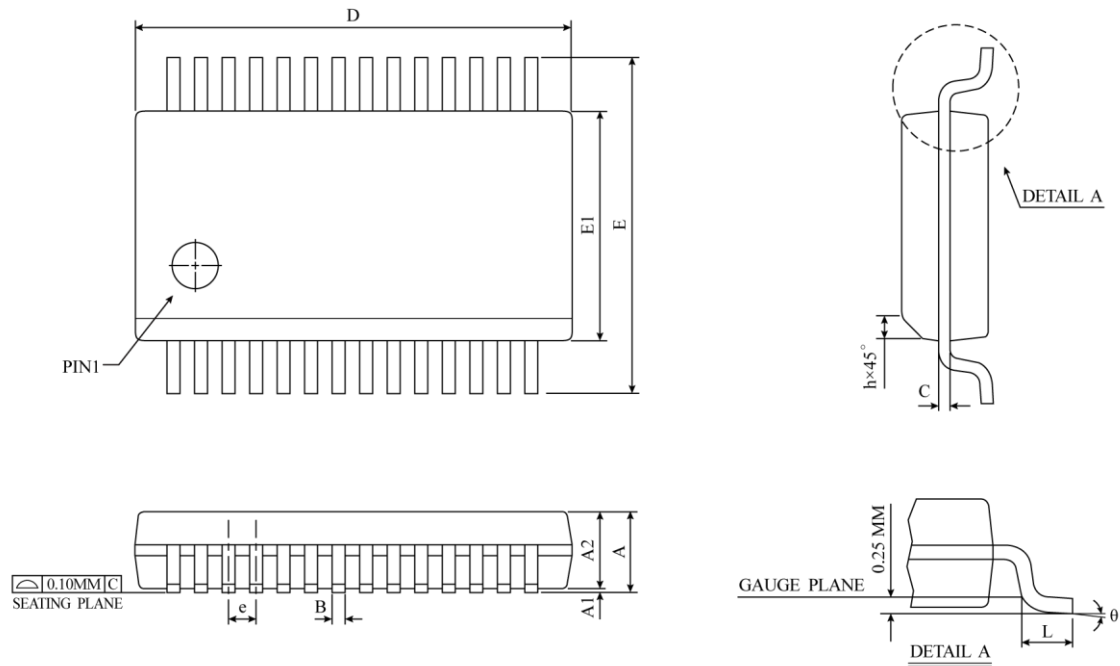
△ * NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SSOP-24 (150mil) Package Dimension



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.053	0.061	0.069
A1	0.10	0.18	0.25	0.004	0.007	0.010
A2	-	-	1.50	-	-	0.059
B	0.20	0.25	0.30	0.008	0.010	0.012
C	0.18	0.22	0.25	0.007	0.009	0.010
D	8.56	8.65	8.74	0.337	0.341	0.344
E	5.79	6.00	6.20	0.228	0.236	0.244
E1	3.81	3.90	3.99	0.150	0.154	0.157
e	0.635 BSC			0.025 BSC		
L	0.41	0.84	1.27	0.016	0.033	0.050
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137 (AE)					

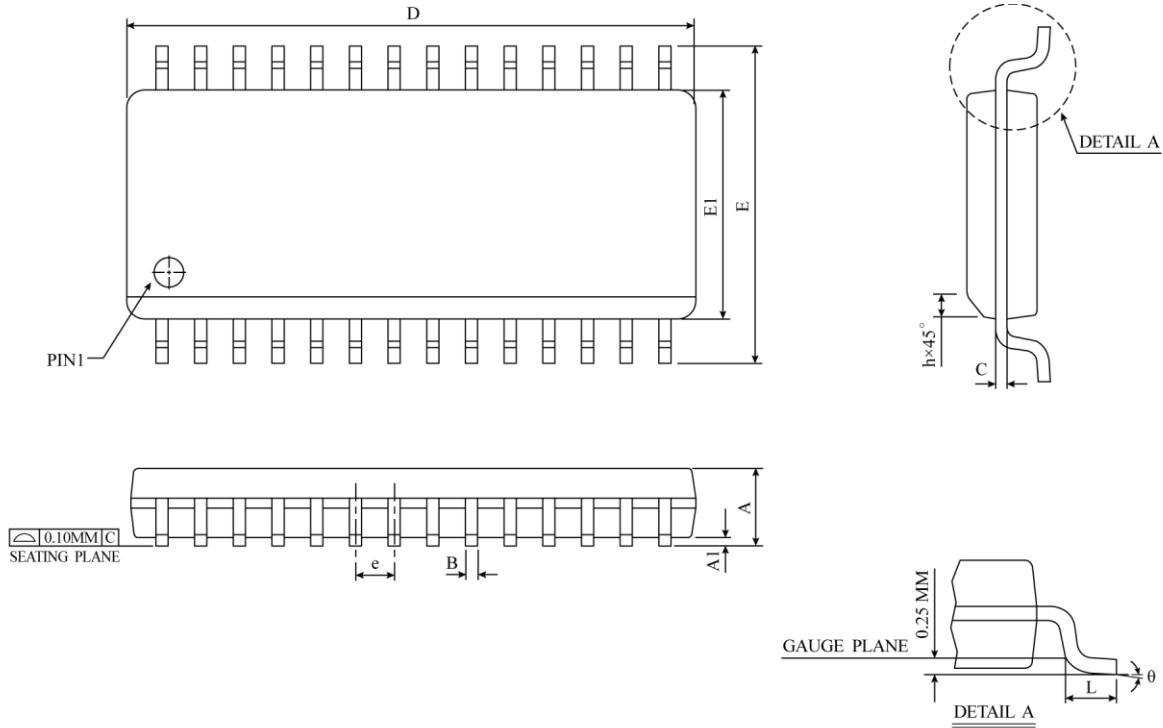
⚠ *NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD PROTRUSIONS OR GAT BURRS.
 MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

SSOP-28 (150mil) Package Dimension


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.50	1.65	1.80	0.06	0.06	0.07
A1	0.102	0.176	0.249	0.004	0.007	0.010
A2	1.40	1.475	1.55	0.06	0.06	0.06
B	0.20	0.25	0.30	0.01	0.01	0.01
C	0.2TYP			0.008TYP		
e	0.635TYP			0.025TYP		
D	9.804	9.881	9.957	0.386	0.389	0.392
E	5.842	6.020	6.198	0.230	0.237	0.244
E1	3.86	3.929	3.998	0.152	0.155	0.157
L	0.406	0.648	0.889	0.016	0.026	0.035
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137(AF)					

▲*NOTES: DIMENSION “D” DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

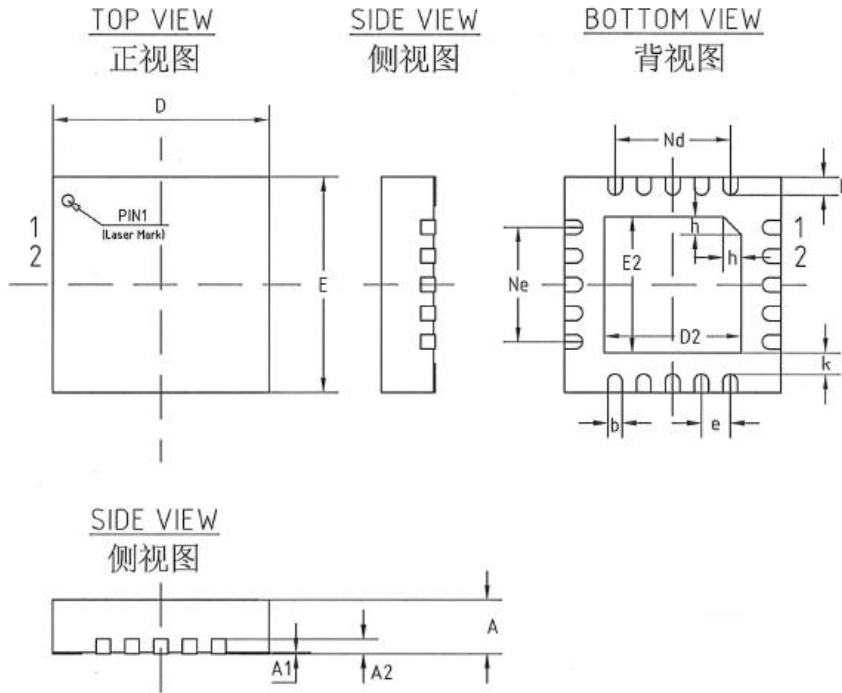
SOP-28 (300mil) Package Dimension



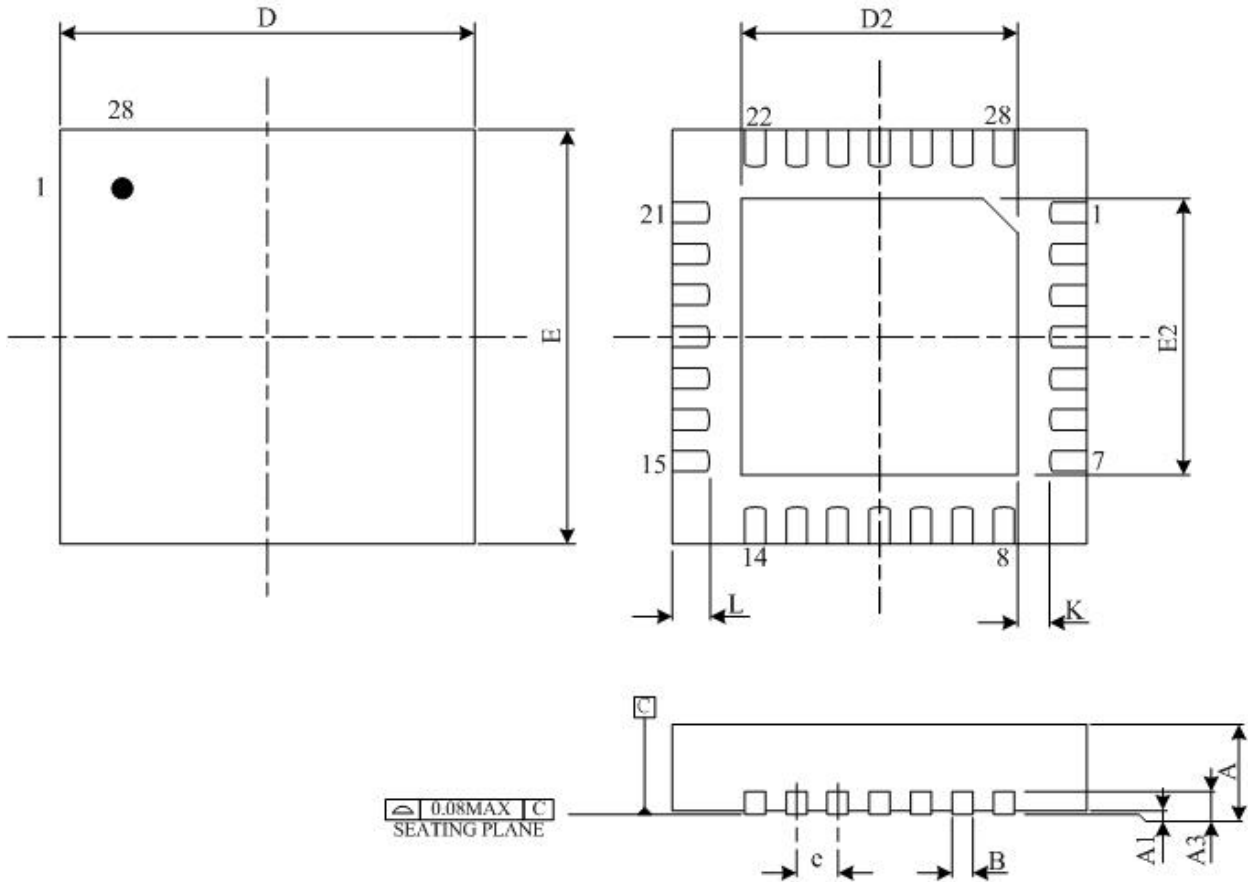
SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	17.70	17.90	18.10	0.6969	0.7047	0.7125
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AE)					

△ *NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

QFN 20 (3*3*0.75-0.4mm) (L=0.25mm) Package Dimension



机械尺寸/mm			
字符 SYMBOL	最小值 MIN	典型值 NOMINAL	最大值 MAX
A	0.70	0.75	0.80
A1	-	0.02	0.05
A2	0.203 REF		
b	0.15	0.20	0.25
D	2.90	3.00	3.10
D2	1.80	1.90	2.00
E	2.90	3.00	3.10
E2	1.80	1.90	2.00
e	0.40 BSC		
K	0.20	0.30	0.40
L	0.20	0.25	0.30
h	0.20	0.25	0.30
Ne	1.60 BSC		
Nd	1.60 BSC		

QFN-28 (4x4x0.75-0.4mm) Package Dimension


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.7	0.75	0.8	0.028	0.030	0.031
A1	0	0.02	0.05	0	0.001	0.002
A3	0.203 REF			0.008 REF		
B	0.15	0.2	0.25	0.006	0.008	0.010
D	4 BSC			0.157		
E	4 BSC			0.157		
D2	2.2	2.3	2.4	0.087	0.091	0.094
E2	2.2	2.3	2.4	0.087	0.091	0.094
e	0.4 BSC			0.016		
L	0.3	0.4	0.5	0.012	0.016	0.020
K	0.45 REF			0.018		
JEDEC	MO-220					